

Docket No.: 61282-046

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Seiji YAMAHIRA	:	Confirmation Number:
Serial No.:	:	Group Art Unit:
Filed: December 10, 2003	:	Examiner:
For: VOLTAGE GENERATING CIRCUIT	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

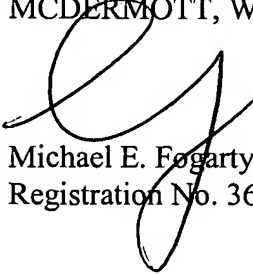
Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:
Japanese Patent Application No. 2002-361272, filed December 12, 2002

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:prg
Facsimile: (202) 756-8087
Date: December 10, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

61282-046
Yamahira
Dec. 10, 2003
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年12月12日

出 願 番 号
Application Number:

特願2002-361272

[ST.10/C]:

[JP 2002-361272]

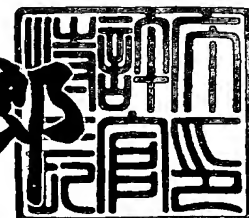
出 願 人
Applicant(s):

松下電器産業株式会社

2003年 6月 5日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3043734

【書類名】 特許願

【整理番号】 5038340110

【提出日】 平成14年12月12日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 17/00

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社

 【氏名】 山平 征二

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100105647

 【弁理士】

 【氏名又は名称】 小栗 昌平

 【電話番号】 03-5561-3990

【選任した代理人】

 【識別番号】 100105474

 【弁理士】

 【氏名又は名称】 本多 弘徳

 【電話番号】 03-5561-3990

【選任した代理人】

 【識別番号】 100108589

 【弁理士】

 【氏名又は名称】 市川 利光

 【電話番号】 03-5561-3990

【選任した代理人】

 【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電圧発生回路

【特許請求の範囲】

【請求項 1】 電源電圧より高い電圧を発生させる昇圧回路と、参照電圧を発生させる参照電圧発生回路と、を有し、該参照電圧を基に所望の電圧を発生させる電圧発生回路であって、

第 1 の入力の前記昇圧回路の出力に接続され、第 2 の入力の前記電源に接続され、第 3 の入力グランドに接続され、前記第 1 の入力と前記第 2 の入力との間の電位差によって生じる電流と等価な前記参照電流を前記第 3 の入力に流すことで第 1 の出力に制御電圧を発生させる電圧変動検知回路と、

前記制御電圧と前記参照電圧とを比較する差動増幅回路と、

前記差動増幅回路の出力に応じて前記昇圧回路の出力から電流を引き抜くことによって前記昇圧回路の出力電圧を制御するクランプ回路と、を有することを特徴とする電圧発生回路。

【請求項 2】 電源電圧より高い電圧を発生させる昇圧回路と、参照電圧を発生させる参照電圧発生回路と、を有し、該参照電圧を基に所望の電圧を発生させる電圧発生回路であって、

基準電圧切替信号によって、前記電源電圧とグランド電圧とを切り替える基準電圧切替回路と、

第 1 の入力前記昇圧回路の出力に接続され、第 2 の入力前記基準電圧切替回路の出力に接続され、第 3 の入力グランドに接続され、前記第 1 の入力と前記第 2 の入力との電位差によって生じる電流と等価な参照電流を前記第 3 の入力に流すことで第 1 の出力に制御電圧を発生させる電圧変動検知回路と、

前記制御電圧と前記参照電圧とを比較する差動増幅回路と、

前記差動増幅回路の出力に応じて前記昇圧回路の出力から電流を引き抜くことによって前記昇圧回路の出力電圧を制御するクランプ回路と、を有することを特徴とする電圧発生回路。

【請求項 3】 電源電圧より高い電圧を発生させる昇圧回路と、参照電圧を発生させる参照電圧発生回路と、を有し、該参照電圧を基に所望の電圧を発生さ

せる電圧発生回路であって、

外部電圧印加信号によって、外部印加電圧と電源電圧とを切り替えて出力する外部電圧印加回路と、

第 1 の入力の前記昇圧回路の出力に接続され、第 2 の入力の前記外部電圧印加回路の出力に接続され、第 3 の入力グランドに接続され、前記第 1 の入力と前記第 2 の入力との電位差によって生じる電流と等価な参照電流を前記第 3 の入力に流すことで第 1 の出力に制御電圧を発生させる電圧変動検知回路と、

前記制御電圧と前記参照電圧とを比較する差動増幅回路と、

前記差動増幅回路の出力に応じて前記昇圧回路の出力端子から電流を引き抜くことによって前記昇圧回路の出力電圧を制御するクランプ回路と、を有することを特徴とする電圧発生回路。

【請求項 4】 電源電圧より高い電圧を発生させる昇圧回路と、参照電圧を発生させる参照電圧発生回路と、を有し、該参照電圧を基に所望の電圧を発生させる電圧発生回路であって、

第 1 の入力前記昇圧回路の出力に接続され、第 2 の入力前記電源に接続され、第 3 の入力グランドに接続され、前記第 1 の入力と前記第 2 の入力との間の電位差によって生じる電流と等価な参照電流を前記第 3 の入力に流すことで第 1 の出力に制御電圧を発生させる電圧変動検知回路と、

設定電圧切替信号を入力とし、前記第 1 の入力と前記グランド電圧を切り替えて出力する第 1 の切替手段と、

前記第 1 の入力と前記第 2 の入力との間の 2 端子間に接続され、前記第 1 の切替手段の出力電圧に応じて前記第 1 の入力と前記第 2 の入力との間の電位差を切り替える第 2 の切替手段と、

前記制御電圧と前記参照電圧とを比較する差動増幅回路と、

前記差動増幅回路の出力に応じて前記昇圧回路の出力から電流を引き抜くことによって前記昇圧回路の出力電圧を制御するクランプ回路と、を有することを特徴とする電圧発生回路。

【請求項 5】 電源電圧より高い電圧を発生させる昇圧回路と、参照電圧を発生させる参照電圧発生回路と、を有し、該参照電圧を基に所望の電圧を発生さ

せる電圧発生回路であって、

第 1 の入力の前記昇圧回路の出力に接続され、第 2 の入力の前記電源に接続され、第 3 の入力グランドに接続され、第 4 の入力に印加される電圧によって前記第 1 の入力と前記第 2 の入力との間の電位差によって生じる電流と一定の電流比を保った参照電流が生成され、前記参照電流を前記第 3 の入力に流すことで第 1 の出力に制御電圧を発生させる電圧変動検知回路と、

設定電圧切替信号を入力とし、前記第 1 の入力と前記グランド電圧を切り替えて出力する第 1 の切替手段と、

前記第 1 の入力と前記第 2 の入力との間の 2 つの端子間に接続され、前記第 1 の切替手段の出力電圧に応じて前記第 1 の入力と前記第 2 の入力との間の電位差を切り替える第 2 の切替手段と、

前記第 1 の切替手段の出力に接続され、前記設定電圧切替信号に応じて前記第 1 の入力と前記第 2 の入力との間の任意の電圧あるいは前記グランド電圧を切り替えて前記第 4 の入力に印加する第 3 の切替手段と、

前記制御電圧と前記参照電圧とを比較する差動増幅回路と、

前記差動増幅回路の出力に応じて前記昇圧回路の出力から電流を引き抜くことによって前記昇圧回路の出力電圧を制御するクランプ回路と、を有することを特徴とする電圧発生回路。

【請求項 6】 前記クランプ回路は、ソースが前記昇圧回路の出力に接続され、ゲートが前記差動増幅回路の出力に接続され、ドレインが前記電源あるいは前記グランドに接続された第 1 導電型のトランジスタを有し、

前記差動増幅回路は、前記昇圧回路の出力電圧が供給され、前記制御電圧と前記参照電圧とを比較し、前記昇圧回路の出力電圧によって差動増幅することを特徴とする請求項 1 ～請求項 5 のいずれかに記載の電圧発生回路。

【請求項 7】 前記クランプ回路は、ソースが前記昇圧回路の出力に接続され、ゲートとドレインとが第 1 の端子に接続された第 1 導電型の第 1 のトランジスタと、ソースが前記昇圧回路の出力に接続され、ゲートが前記第 1 の端子に接続され、ドレインが前記電源あるいは前記グランドに接続された第 1 導電型の第 2 のトランジスタと、前記第 1 の端子と前記グランド間に接続され、ゲートが前

記差動増幅回路の出力に接続された第 2 導電型のトランジスタと、を有し、

前記差動増幅回路は、前記電源電圧が供給され、前記制御電圧と前記参照電圧とを比較し、前記電源電圧によって差動増幅することを特徴とする請求項 1 ～請求項 5 のいずれかに記載の電圧発生回路。

【請求項 8】 電源電圧より高い電圧を発生させる昇圧回路と、参照電圧を発生させる参照電圧発生回路と、を有し、該参照電圧を基に所望の電圧を発生させる電圧発生回路であって、

前記昇圧回路の出力電圧を入力とし、レベルシフトした電圧を出力するレベルシフト回路と、

第 1 の入力の前記レベルシフト回路の出力に接続され、第 2 の入力の前記電源に接続され、第 3 の入力グランドに接続され、前記第 1 の入力と前記第 2 の入力との間の電位差によって生じる電流と等価な参照電流を前記第 3 の入力に流すことで第 1 の出力に制御電圧を発生させる電圧変動検知回路と、

前記制御電圧と前記参照電圧とを比較して前記レベルシフト回路を制御することで前記レベルシフト回路の出力に所望の電圧を出力させる差動増幅回路と、を有することを特徴とする電圧発生回路。

【請求項 9】 設定電圧切替信号を入力とし、前記第 1 の入力前記グランド電圧とを切り替えて出力する第 1 の切替手段と、

前記第 1 の入力前記第 2 の入力との間に接続され、前記第 1 の切替手段の出力電圧に応じて、前記第 1 の入力前記第 2 の入力との間の電位差を切り替える第 2 の切替手段と、を有することを特徴とする請求項 8 に記載の電圧発生回路。

【請求項 10】 第 1 の入力前記レベルシフト回路の出力に接続され、第 2 の入力前記電源に接続され、第 3 の入力グランドに接続され、第 4 の入力に印加される電圧によって、前記第 1 の入力前記第 2 の入力との間の電位差によって生じる電流に対し一定の電流比を保った参照電流が生成され、前記参照電流を前記第 3 の入力に流すことで第 1 の出力に制御電圧を発生させる電圧変動検知回路と、

設定電圧切替信号を入力とし、前記第 1 の入力前記グランド電圧とを切り替えて出力する第 1 の切替手段と、

前記第 1 の入力と前記第 2 の入力との間に接続され、前記第 1 の切替手段の出力電圧に応じて前記第 1 の入力と前記第 2 の入力との間の電位差を切り替える第 2 の切替手段と、

前記第 1 の切替手段の出力に接続され、前記設定電圧切替信号に応じて前記第 1 の入力と前記第 2 の入力との間の任意の電圧あるいは前記グランド電圧を切り替えて前記第 4 の入力に印加する第 3 の切替手段と、を有することを特徴とする請求項 8 に記載の電圧発生回路。

【請求項 1 1】 前記レベルシフト回路は、ソースが前記昇圧回路の出力に接続され、ゲートが前記差動増幅回路の出力に接続され、ドレインが前記レベルシフト回路の出力に接続された第 1 導電型のトランジスタを有し、

前記差動増幅回路は、前記昇圧回路の出力電圧が供給され、前記制御電圧と前記参照電圧とを比較し、前記昇圧回路の出力電圧によって差動増幅することを特徴とする請求項 8 ～請求項 1 0 のいずれかに記載の電圧発生回路。

【請求項 1 2】 前記レベルシフト回路は、

ソースが前記昇圧回路の出力に接続され、ゲートとドレインとが第 1 の端子に接続された第 1 導電型の第 1 のトランジスタと、

ソースが前記昇圧回路の出力に接続され、ゲートが前記第 1 の端子に接続され、ドレインが前記レベルシフト回路の出力に接続された第 1 導電型の第 2 のトランジスタと、

前記第 1 の端子と前記グランド間に接続され、ゲートが前記差動増幅回路の出力に接続された第 2 導電型のトランジスタと、を有し、

前記差動増幅回路は、前記電源電圧が供給され、前記制御電圧と前記参照電圧とを比較し、前記電源電圧によって差動増幅することを特徴とする請求項 8 ～請求項 1 0 のいずれかに記載の電圧発生回路。

【請求項 1 3】 基準電圧切替信号によって前記電源電圧と前記グランド電圧とを切り替える基準電圧切替回路を有し、

前記第 2 の入力前記基準電圧切替回路の出力に接続されたことを特徴とする請求項 4、請求項 5、請求項 1 1、請求項 1 2 のいずれかに記載の電圧発生回路。

【請求項 1 4】 前記電源電圧によって基準電圧を発生させる基準電圧発生回路と、基準電圧切替信号によって前記電源電圧あるいは前記グランド電圧と前記基準電圧とを切り替える基準電圧切替回路と、を有し、

前記第 2 の入力が入力が前記基準電圧切替回路の出力に接続されたことを特徴とする請求項 1、請求項 4、請求項 5、請求項 1 1、請求項 1 2 のいずれかに記載の電圧発生回路

【請求項 1 5】 前記電源電圧によって基準電圧を発生させる基準電圧発生回路と、基準電圧切替信号によって前記電源電圧と前記グランド電圧と前記基準電圧との内、いずれかを選択する基準電圧切替回路を有し、

前記第 2 の入力が入力が前記基準電圧切替回路の出力に接続されたことを特徴とする請求項 1、請求項 4、請求項 5、請求項 1 1、請求項 1 2 のいずれかに記載の電圧発生回路。

【請求項 1 6】 外部電圧印加信号によって外部印加電圧と前記電源電圧とを切り替えて出力する外部電圧印加回路を有し、

前記第 2 の入力が入力が前記外部電圧印加回路の出力に接続されたことを特徴とする請求項 4、請求項 5、請求項 1 1、請求項 1 2 のいずれかに記載の電圧発生回路

【請求項 1 7】 外部電圧印加信号によって外部印加電圧と前記グランド電圧とを切り替えて出力する外部電圧印加回路を有し、

前記第 2 の入力が入力が前記外部電圧印加回路の出力に接続されたことを特徴とする請求項 1、請求項 4、請求項 5、請求項 1 1、請求項 1 2 のいずれかに記載の電圧発生回路。

【請求項 1 8】 前記電源電圧によって基準電圧を発生させる基準電圧発生回路と、外部電圧印加信号によって外部印加電圧と前記基準電圧とを切り替えて出力する外部電圧印加回路と、を有し、

前記第 2 の入力が入力が前記外部電圧印加回路の出力に接続されたことを特徴とする請求項 1、請求項 4、請求項 5、請求項 1 1、請求項 1 2 のいずれかに記載の電圧発生回路。

【請求項 1 9】 外部印加電圧と前記基準電圧切替回路の出力電圧とを入力

とし、外部電圧印加信号によって出力電圧を切り替えて出力する外部電圧印加回路を有し、

前記第 2 の入力の前記外部電圧印加回路の出力に接続されたことを特徴とする請求項 2、請求項 1 3、請求項 1 4、請求項 1 5 のいずれかに記載の電圧発生回路。

【請求項 2 0】 電源電圧を用いてグランド電圧より低い電圧を発生させる負昇圧回路と、参照電圧を発生させる参照電圧発生回路と、を有し、該参照電圧を基に所望の電圧を発生させる電圧発生回路であって、

第 1 の入力の前記電源に接続され、第 2 の入力の前記負昇圧回路の出力に接続され、第 3 の入力グランドに接続され、前記第 1 の入力と前記第 2 の入力との間の電位差によって生じる電流と等価な参照電流を前記第 3 の入力に流すことで第 1 の出力に制御電圧を発生させる電圧変動検知回路と、

前記制御電圧と前記参照電圧とを比較する差動増幅回路と、

前記差動増幅回路の出力に応じて前記負昇圧回路の出力から電流を引き抜くことによって前記負昇圧回路の出力電圧を制御するクランプ回路と、を有することを特徴とする電圧発生回路。

【請求項 2 1】 前記クランプ回路は、ソースおよび基板が前記負昇圧回路の出力に接続され、ゲートが前記差動増幅回路の出力に接続され、ドレインが前記電源あるいは前記グランドに接続された第 2 導電型のトランジスタを有し、

前記差動増幅回路は、前記電源電圧と前記負昇圧回路の出力電圧とが供給され、前記制御電圧と前記参照電圧とを比較し、前記電源電圧と前記負昇圧回路の出力電圧とによって差動増幅することを特徴とする請求項 2 0 に記載の電圧発生回路。

【請求項 2 2】 前記クランプ回路は、ソースおよび基板が前記負昇圧回路の出力に接続され、ゲートとドレインとが第 1 の端子に接続された第 2 導電型の第 1 のトランジスタと、

ソースおよび基板が前記負昇圧回路の出力に接続され、ゲートが前記第 1 の端子に接続され、ドレインが前記電源あるいは前記グランドに接続された第 2 導電型の第 2 のトランジスタと、

前記電源と前記第 1 の端子間に接続され、ゲートが前記差動増幅回路の出力に接続された第 1 導電型のトランジスタと、を有し、

前記差動増幅回路は、前記電源電圧と前記グランド電圧とが供給され、前記制御電圧と前記参照電圧とを比較し、前記電源電圧と前記グランド電圧とによって差動増幅することを特徴とする請求項 2 0 に記載の電圧発生回路。

【請求項 2 3】 電源電圧を用いてグランド電圧より低い電圧を発生させる負昇圧回路と、参照電圧を発生させる参照電圧発生回路と、を有し、該参照電圧を基に所望の電圧を発生させる電圧発生回路であって、

前記負昇圧回路の出力電圧を入力とし、レベルシフトした電圧を出力するレベルシフト回路と、

第 1 の入力が入記電源に接続され、第 2 の入力が入記レベルシフト回路の出力に接続され、第 3 の入力が入記グランドに接続され、前記第 1 の入力と前記第 2 の入力との間の電位差によって生じる電流と等価な参照電流を前記第 3 の入力に流すことで第 1 の出力に制御電圧を発生させる電圧変動検知回路と、

前記制御電圧と前記参照電圧とを比較して前記レベルシフト回路を制御することで前記レベルシフト回路の出力に所望の負電圧を出力する差動増幅回路と、を有することを特徴とする電圧発生回路。

【請求項 2 4】 参照電圧を発生させる参照電圧発生回路を有し、該参照電圧を基に所望の電圧を発生させる電圧発生回路であって、

グランド電圧を入力とし、レベルシフトした電圧を出力するレベルシフト回路と、

第 1 の入力が入記電源に接続され、第 2 の入力が入記レベルシフト回路の出力に接続され、第 3 の入力が入記グランドに接続され、前記第 1 の入力と前記第 2 の入力との間の電位差によって生じる電流と等価な参照電流を前記第 3 の入力に流すことで第 1 の出力に制御電圧を発生させる電圧変動検知回路と、

前記制御電圧と前記参照電圧とを比較して、前記レベルシフト回路を制御することで前記レベルシフト回路の出力に所望の電源電圧より降圧した電圧を出力する手段を有する差動増幅回路と、を有することを特徴とする電圧発生回路。

【請求項 2 5】 前記レベルシフト回路は、ソースおよび基板が入記負昇圧

回路の出力に接続され、ゲートが前記差動増幅回路の出力に接続され、ドレインが前記レベルシフト回路の出力に接続された第2導電型のトランジスタを有し、

前記差動増幅回路は、前記電源電圧と前記負昇圧の出力電圧とが供給され、前記制御電圧と前記参照電圧とを比較し、前記電源電圧と前記負昇圧回路の出力電圧とによって差動増幅することを特徴とする請求項23に記載の電圧発生回路。

【請求項26】 前記レベルシフト回路は、ソースおよび基板が前記負昇圧回路の出力に接続され、ゲートとドレインとが第1の端子に接続された第2導電型の第1のトランジスタと、ソースおよび基板が前記負昇圧回路の出力に接続され、ゲートが前記第1の端子に接続され、ドレインが前記レベルシフト回路の出力に接続された第2導電型の第2のトランジスタと、前記電源と前記第1の端子間に接続され、ゲートが前記差動増幅回路の出力に接続された第1導電型のトランジスタと、を有し、

前記差動増幅回路は、前記電源電圧と前記グランド電圧とが供給され、前記制御電圧と前記参照電圧とを比較し、前記電源電圧と前記グランド電圧とによって差動増幅することを特徴とする請求項23に記載の電圧発生回路。

【請求項27】 設定電圧切替信号を入力とし、前記電源電圧と前記第2の入力の電圧とを切り替えて出力する第1の切替手段と、

前記第1の入力と前記第2の入力との間の2つの端子間に接続され、前記第1の切替手段の出力に応じて前記第1の入力と前記第2の入力との間の電位差を切り替える第2の切替手段と、を有することを特徴とする請求項20～請求項26のいずれかに記載の電圧発生回路。

【請求項28】 前記電源電圧、前記参照電圧、前記電源電圧によって発生された任意の基準電圧、のうちのいずれか2つの電圧あるいは3つの電圧を、基準電圧切替信号によって切り替える基準電圧切替回路を有し、

前記第1の入力が前記基準電圧切替回路の出力に接続されたことを特徴とする請求項20～請求項27のいずれかに記載の電圧発生回路。

【請求項29】 外部電圧印加信号によって、外部印加電圧と、前記電源電圧あるいは前記参照電圧あるいは前記電源電圧によって発生された任意の基準電圧と、を切り替える手段を有する外部電圧印加回路を有し、

前記第 1 の入力が入力外部電圧印加回路の出力に接続されたことを特徴とする請求項 2 0 ～請求項 2 7 のいずれかに記載の電圧発生回路。

【請求項 3 0】 外部印加電圧と前記基準電圧切替回路の出力電圧とを入力とし、外部電圧印加信号によって前記外部印加電圧と前記基準電圧切替回路の出力電圧とを切り替えて出力する外部電圧印加回路を有し、

前記第 1 の入力が入力外部電圧印加回路の出力に接続されたことを特徴とする請求項 2 8 に記載の電圧発生回路。

【請求項 3 1】 前記参照電圧は、ボルテージフォロワー回路によって前記参照電圧と同じ電圧レベルの電圧を印加できることを特徴とする請求項 2 8 または請求項 2 9 に記載の電圧発生回路。

【請求項 3 2】 前記電圧変動検知回路は、第 1 の中間ノードが前記第 1 の入力と前記第 2 の入力間に接続され、前記第 1 の出力が入力外部電圧印加回路の入力と前記第 3 の入力間に接続され、前記第 1 の中間ノードの電圧を検出することで、前記第 1 の入力と前記第 2 の入力の電位差によって発生した電流と等価な参照電流を前記第 1 の入力から前記第 1 の出力に流すように構成されたカレントミラー回路と

前記第 1 の中間ノードと前記第 2 の入力間に接続された抵抗手段と、

前記第 1 の出力と前記第 3 の入力間に接続され、前記参照電流が流れることで前記第 1 の出力に前記制御電圧を発生させる制御電圧発生回路と、を有することを特徴とする請求項 1 ～請求項 4、請求項 8、請求項 9、請求項 2 0、請求項 2 1、請求項 2 4 ～請求項 2 7 のいずれかに記載の電圧発生回路。

【請求項 3 3】 前記電圧変動検知回路は、第 1 の中間ノードが入力外部電圧印加回路の入力と前記第 2 の入力との間に接続され、前記第 1 の出力が入力外部電圧印加回路の入力と前記第 3 の入力間に接続され、前記第 4 の入力に印加される電圧によって前記第 1 の入力と前記第 2 の入力の電位差によって発生した電流に対して一定の電流比を保った参照電流を前記第 1 の入力から前記第 1 の出力に流すように構成されたカレントミラー回路と、

前記第 1 の中間ノードと前記第 2 の入力間に接続された抵抗手段と、

前記第 1 の出力と前記第 3 の入力間に接続され、前記参照電流が流れることで

前記第 1 の出力に前記制御電圧を発生させる制御電圧発生回路と、を有することを特徴とする請求項 5 または請求項 1 0 に記載の電圧発生回路。

【請求項 3 4】 前記抵抗手段は、前記第 1 の中間ノードと前記第 2 の入力との間に、複数の抵抗が直列に接続されたことを特徴とする請求項 3 2 または請求項 3 3 に記載の電圧発生回路。

【請求項 3 5】 前記抵抗手段は、前記第 1 の中間ノードと前記第 2 の入力との間に、ゲートとドレインが接続され、基板とソースが接続された複数の第 1 導電型の第 1 0 のトランジスタが直列に接続されたことを特徴とする請求項 3 2 または請求項 3 3 に記載の電圧発生回路。

【請求項 3 6】 前記制御電圧発生回路は、前記第 1 の出力と前記第 3 の入力との間に、複数の抵抗が直列に接続されたことを特徴とする請求項 3 2 または請求項 3 3 に記載の電圧発生回路。

【請求項 3 7】 前記制御電圧発生回路は、前記第 1 の出力と前記第 3 の入力との間に、ゲートとドレインとが接続され、ソースと基板とが接続された第 1 導電型の第 1 0 のトランジスタが 1 つ以上直列に接続されたことを特徴とする請求項 3 2 または請求項 3 3 に記載の電圧発生回路。

【請求項 3 8】 前記カレントミラー回路は、
ソースが前記第 1 の入力に接続され、ゲートとドレインが前記第 1 の中間ノードに接続された第 1 導電型の第 1 1 のトランジスタと、

ソースが前記第 1 の入力に接続され、ゲートが前記第 1 の中間ノードに接続され、ドレインが前記第 1 の出力に接続された第 1 導電型の第 1 2 のトランジスタと、を有することを特徴とする請求項 3 2 に記載の電圧発生回路。

【請求項 3 9】 前記カレントミラー回路は、前記第 1 の入力と前記第 1 の中間ノードとの間に直列に接続された複数の抵抗と、

ソースが前記第 1 の入力に接続され、ゲートが第 1 の中間ノードに接続され、ドレインが前記第 1 の出力に接続された第 1 導電型の第 1 3 のトランジスタと、を有することを特徴とする請求項 3 2 に記載の電圧発生回路。

【請求項 4 0】 前記カレントミラー回路は、
ソースが前記第 1 の入力に接続され、ゲートとドレインが前記第 1 の中間ノード

ドに接続された第 1 導電型の第 1 1 のトランジスタと、

ソースが前記第 1 の入力に接続され、ゲートが前記第 1 の中間ノードに接続され、ドレインが第 2 の中間ノードに接続された第 1 導電型の第 1 2 のトランジスタと、

ソースが前記第 2 の中間ノードに接続され、ゲートが前記抵抗手段の任意の端子に接続され、ドレインが前記第 1 の出力に接続された第 1 導電型の第 1 3 のトランジスタと、を有することを特徴とする請求項 3 2 に記載の電圧発生回路。

【請求項 4 1】 前記カレントミラー回路は、

前記第 1 の入力と前記第 1 の中間ノードとの間に直列に接続された複数の抵抗と、

ソースが前記第 1 の入力に接続され、ゲートが前記第 1 の中間ノードに接続され、ドレインが第 2 の中間ノードに接続された第 1 導電型の第 1 2 のトランジスタと、

ソースが前記第 2 の中間ノードに接続され、ゲートが前記抵抗手段の任意の端子に接続され、ドレインが前記第 1 の出力に接続された第 1 導電型の第 1 3 のトランジスタと、を有することを特徴とする請求項 3 2 に記載の電圧発生回路。

【請求項 4 2】 前記カレントミラー回路は、

ソースが前記第 1 の入力に接続され、ゲートとドレインが前記第 1 の中間ノードに接続された第 1 導電型の第 1 1 のトランジスタと、

ソースが前記第 1 の入力に接続され、ゲートが前記第 1 の中間ノードに接続され、ドレインが第 2 の中間ノードに接続された第 1 導電型の第 1 2 のトランジスタと、

ソースが前記第 2 の中間ノードに接続され、ゲートが前記第 4 の入力に接続され、ドレインが前記第 1 の出力に接続された第 1 導電型の第 1 3 のトランジスタと、を有することを特徴とする請求項 3 3 に記載の電圧発生回路。

【請求項 4 3】 前記カレントミラー回路は、

前記第 1 の入力と前記第 1 の中間ノードとの間に直列に接続された複数の抵抗と、

ソースが前記第 1 の入力に接続され、ゲートが前記第 1 の中間ノードに接続さ

れ、ドレインが第 2 の中間ノードに接続された第 1 導電型の第 1 2 のトランジスタと、ソースが前記第 2 の中間ノードに接続され、ゲートが前記第 4 の入力に接続され、ドレインが前記第 1 の出力に接続された第 1 導電型の第 1 3 のトランジスタと、を有することを特徴とする請求項 3 3 に記載の電圧発生回路。

【請求項 4 4】 電源電圧より高い電圧を発生させる昇圧回路と、電源電圧を用いてグランド電圧より低い電圧を発生させる負昇圧回路と、参照電圧を発生させる参照電圧発生回路と、を有し、該参照電圧を基に所望の電圧を発生させる電圧発生回路であって、

第 1 の外部電圧印加信号によって外部印加電圧と前記電源電圧を切り替える手段を有する第 1 の外部電圧印加回路と、

第 1 1 の入力が入力前記昇圧回路の出力に接続され、第 1 2 の入力が入力前記第 1 の外部電圧印加回路の出力に接続され、第 1 3 の入力が入力グランドに接続され、第 1 の出力に第 1 の制御電圧を発生させる第 1 の電圧変動検知回路と、

前記第 1 の制御電圧と前記参照電圧とを比較する第 1 の差動増幅回路と、

前記第 1 の差動増幅回路の出力に応じて前記昇圧回路の出力電圧を制御する第 1 のクランプ回路と、

第 2 の外部電圧印加信号によって前記外部印加電圧と前記電源電圧を切り替える手段を有する第 2 の外部電圧印加回路と、

第 3 1 の入力が入力前記電源に接続され、第 3 2 の入力が入力前記負昇圧回路の出力に接続され、第 3 3 の入力が入力グランドに接続され、第 3 の出力に第 3 の制御電圧を発生させる第 3 の電圧変動検知回路と、

前記第 3 の制御電圧と前記参照電圧とを比較する第 3 の差動増幅回路と、

前記第 3 の差動増幅回路の出力に応じて前記負昇圧回路の出力電圧を制御する第 2 のクランプ回路と、を有することを特徴とする電圧発生回路。

【請求項 4 5】 電源電圧より高い電圧を発生させる昇圧回路と、電源電圧を用いてグランド電圧より低い電圧を発生させる負昇圧回路と、参照電圧を発生させる参照電圧発生回路を有し、該参照電圧を基に所望の電圧を発生させる電圧発生回路であって、

第 1 の外部電圧印加信号によって外部印加電圧と前記電源電圧を切り替える手

段を有する第 1 の外部電圧印加回路と、

第 1 1 の入力が入記昇圧回路の出力に接続され、第 1 2 の入力が入記第 1 の外部電圧印加回路の出力に接続され、第 1 3 の入力が入記グランドに接続され、第 1 の出力に第 1 の制御電圧を発生させる第 1 の電圧変動検知回路と、

前記第 1 の制御電圧と前記参照電圧とを比較する第 1 の差動増幅回路と、前記第 1 の差動増幅回路の出力に応じて前記昇圧回路の出力電圧を制御する第 1 のクランプ回路と、

前記昇圧回路の出力電圧を入力とし、レベルシフトした電圧を出力する第 1 のレベルシフト回路と、

第 2 1 の入力が入記第 1 のレベルシフト回路の出力に接続され、第 2 2 の入力が入記電源に接続され、第 2 3 の入力が入記グランドに接続され、第 2 の出力に第 2 の制御電圧を発生させる第 2 の電圧変動検知回路と、

前記第 2 の制御電圧と前記参照電圧とを比較して前記第 1 のレベルシフト回路を制御することで前記第 1 のレベルシフト回路の出力に所望の電圧を出力させる手段を有する第 2 の差動増幅回路と、

第 2 の外部電圧印加信号によって前記外部印加電圧と前記電源電圧を切り替える手段を有する第 2 の外部電圧印加回路と、

第 3 1 の入力が入記電源に接続され、第 3 2 の入力が入記負昇圧回路の出力に接続され、第 3 3 の入力が入記グランドに接続され、第 3 の出力に第 3 の制御電圧を発生させる第 3 の電圧変動検知回路と、

前記第 3 の制御電圧と前記参照電圧とを比較する第 3 の差動増幅回路と、

前記第 3 の差動増幅回路の出力に応じて前記負昇圧回路の出力電圧を制御する第 2 のクランプ回路と、

前記負昇圧回路の出力電圧を入力とし、レベルシフトした電圧を出力する第 2 のレベルシフト回路と、

第 4 1 の入力が入記電源に接続され、第 4 2 の入力が入記第 2 のレベルシフト回路の出力に接続され、第 4 3 の入力が入記グランドに接続され、第 4 の出力に第 4 の制御電圧を発生させる第 4 の電圧変動検知回路と、

前記第 4 の制御電圧と前記参照電圧とを比較して前記第 2 のレベルシフト回路

を制御することで前記第 2 のレベルシフト回路の出力に所望の負電圧を出力する手段を有する第 4 の差動増幅回路と、を有することを特徴とする電圧発生回路。

【請求項 4 6】 前記参照電圧発生回路は、参照電圧を発生させる参照電圧発生部と、トリミング信号を入力とし前記参照電圧の電圧レベルを変更して参照電圧を発生させるトリミング回路部と、を有することを特徴とする請求項 4 4 または請求項 4 5 に記載の電圧発生回路。

【請求項 4 7】 前記参照電圧発生回路は、参照電圧を発生させる参照電圧発生部と、トリミング信号を入力とし前記参照電圧の電圧レベルを変更して参照電圧を発生させる手段を有するトリミング回路部と、を有し、

前記グランド電圧を入力とし、レベルシフトした電圧を出力する第 3 のレベルシフト回路と、

第 5 1 の入力の前記電源に接続され、第 5 2 の入力の前記第 3 のレベルシフト回路の出力に接続され、第 5 3 の入力の前記グランドに接続され、第 5 の出力に第 5 の制御電圧を発生させる第 5 の電圧変動検知回路と、

前記第 5 の制御電圧と前記参照電圧とを比較して前記第 3 のレベルシフト回路を制御することで前記第 3 のレベルシフト回路の出力に前記電源電圧と前記グランド電圧間の前記電源電圧より降圧した電圧を出力する第 5 の差動増幅回路と、を有することを特徴とする請求項 4 4 または請求項 4 5 に記載の電圧発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電圧発生回路に関し、特に、昇圧電源回路あるいは負昇圧電源回路の出力電圧をクランプ、あるいはレギュレートする電圧発生回路に関するものである。

【0002】

【従来の技術】

近年、不揮発性半導体記憶装置であるフラッシュメモリにおいては単一電源によるデータの読出し、データ書換えが要求されており、オンチップで昇圧電圧、あるいは負昇圧電圧を供給する電圧発生回路が必要となっている。

また、フラッシュメモリセルの特性を評価する必要があり、昇圧電圧あるいは負昇圧電圧に相当する電圧を外部より印加する機構が必要である。

【 0 0 0 3 】

以下、従来の電圧発生回路について図面を参照して説明する。

図 3 1 は、従来の電圧発生回路の構成を示すブロック図である。図において、9 0 0 は電源電圧 V_{dd} を昇圧して昇圧電圧を発生させる昇圧回路、9 0 1 は昇圧回路 9 0 0 の出力、9 0 2 は電源電圧 V_{dd} より参照電圧 V_{ref} を発生させる参照電圧発生回路、9 0 3 は昇圧回路 9 0 0 の出力電圧を所望の電圧に設定するリミッタ回路、9 0 4 は抵抗 R_1 、9 0 5 は抵抗 R_2 、9 0 6 は抵抗 9 0 4 と抵抗 9 0 5 からなる分圧回路、9 0 7 は分圧回路 9 0 6 の出力、9 0 8 は出力 9 0 1 から昇圧電圧が供給され、出力 9 0 7 の電圧と参照電圧 V_{ref} とを比較して差動増幅する差動増幅回路、9 0 9 は差動増幅回路 9 0 8 の出力、9 1 0 は出力 9 0 9 の電圧に応じて出力 9 0 1 の電圧を電源 V_{dd} に引き抜く P 型 MOS トランジスタ、9 1 1 は出力 9 0 1 の電圧を所望の電圧にレベルシフトするレギュレータ回路、9 1 2 は抵抗 R_3 、9 1 3 は抵抗 R_4 、9 1 4 は抵抗 9 1 2 と抵抗 9 1 3 からなる分圧回路、9 1 5 は分圧回路 9 1 4 の出力、9 1 6 は出力 9 0 1 から昇圧電圧が供給され、出力 9 1 5 の電圧と参照電圧 V_{ref} とを比較して差動増幅する差動増幅回路、9 1 7 は差動増幅回路 9 1 6 の出力、9 1 8 は出力 9 1 7 の電圧に応じてレギュレータ回路 9 1 1 の出力 V_{pl} に所望の電圧を設定する P 型 MOS トランジスタ、9 1 9 は外部より電圧を印加するパッドである。

【 0 0 0 4 】

以上のように構成された電圧発生回路について、図 3 1 と図 3 2 を用いて回路動作を説明する。

昇圧回路 9 0 0 によって、電源電圧より発生された昇圧電圧 V_{ph} がリミッタ回路 9 0 3 に供給される。抵抗 9 0 4 と抵抗 9 0 5 の抵抗比 γ ($=R_2/(R_1+R_2)$) によって分圧回路 9 0 6 の出力に $(\gamma \cdot V_{ph})$ の電圧が出力される。電源電圧より発生された参照電圧 V_{ref} と $(\gamma \cdot V_{ph})$ を差動増幅回路 9 0 8 によって比較することで、P 型 MOS トランジスタ 9 1 0 のゲート電圧を制御し、出力 9 0 1 から電源 V_{dd} に引き抜くドレイン電流を調整することで昇圧電圧 V_{ph} を一定の電圧

に保つ。上記より、昇圧電圧 V_{ph} は、 $V_{ref} = (\gamma \cdot V_{ph})$ が成立するため、 $V_{ph} = V_{ref} \cdot (1/\gamma)$ の電圧となる。つまり、 $V_{ph} > V_{ref} \cdot (1/\gamma)$ では電源電圧に依存せず一定の電圧値を保つ。

【 0 0 0 5 】

また、昇圧電圧 V_{ph} がレギュレータ回路 9 1 1 に供給される。 V_{ph} をレベルシフトした電圧 V_{pl} が分圧回路 9 1 4 に供給されると、抵抗 9 1 2 と抵抗 9 1 3 の抵抗比 $\xi (=R_4/(R_3+R_4))$ によって分圧回路 9 1 4 の出力に $(\xi \cdot V_{pl})$ の電圧が出力される。電源電圧より発生された参照電圧 V_{ref} と $(\xi \cdot V_{pl})$ を差動増幅回路 9 1 6 によって比較することで、P型MOSトランジスタ 9 1 8 のゲート電圧を制御し、出力 9 0 1 からレギュレータ回路 9 1 1 の出力に供給するドレイン電流を調整することで V_{pl} を一定の電圧に保つ。上記より、レギュレータ回路 9 1 1 の出力電圧 V_{pl} は、 $V_{ref} = (\xi \cdot V_{pl})$ が成立するため、 $V_{pl} = V_{ref} \cdot (1/\xi)$ の電圧となり、 $V_{pl} > V_{ref} \cdot (1/\xi)$ では電源電圧に依存せず一定の電圧値を保つ。

【 0 0 0 6 】

また、フラッシュメモリセルの特性を評価する場合には、パッド 9 1 9 より外部より昇圧電圧に相当する電圧 V_{ppex} を印加する。

【 0 0 0 7 】

また、上記従来技術においては、電源電圧より高い電圧を昇圧電圧によって電圧を発生させる電圧発生回路に関して説明しているが、従来のグランド電圧より低い電圧を発生させる電圧発生回路に関しても同様であり、上記従来技術の電圧発生回路において、昇圧回路 9 0 0 を負昇圧回路に、分圧回路 9 0 6 および 9 1 4 に接続されているグランドを参照電圧に、差動増幅回路 9 0 8 および 9 1 6 に入力されている参照電圧をグランドに、P型MOSトランジスタ 9 1 0 および 9 1 8 をN型MOSトランジスタに置き換えた構成が負昇圧電圧より電源電圧に依存しない一定の負の電圧を発生させる電圧発生回路である。また、この負の電圧発生回路においても、負の電圧を外部より印加する負パッドを設けている。

【 0 0 0 8 】

また、上記従来技術の電圧発生回路として、差動増幅回路 9 1 8 を電源電圧

Vddで駆動して昇圧電圧の消費を削減し、一定の電圧を発生させる機構を有するものがある（特許文献1参照）。

【0009】

【特許文献1】

特開2001-52489号公報

【0010】

【発明が解決しようとする課題】

しかしながら、従来の電圧発生回路におけるリミッタ回路903およびレギュレータ回路911は、図32に示すように電源電圧に対して一定の電圧しか出力することができなかった。また、負の電圧発生回路においても同様である。

【0011】

上述のような従来の電圧発生回路をメモリ回路（例えば図33に示すフラッシュメモリセル）に対して用いた場合は以下のような問題が生ずる。

まず、フラッシュメモリセルの構成を図33に示す。図において、920は電圧発生回路、921はローデコーダ、922はカラムドライバ、923はカラムデコーダ、924は電源スイッチ回路、925はフラッシュメモリセルアレイ、926はP型フラッシュメモリセル、927はP型選択トランジスタ、928はN型MOSトランジスタである。

【0012】

このようなフラッシュメモリセルにおいては、データ読出し時、ローデコーダおよびカラムデコーダによって、読出し対象となるフラッシュメモリセルが決定される。この時、Vwell、Vsl、Vcgには電源電圧Vddが印加されているが、P型選択トランジスタのVsgにはグランド電圧が印加されているため、電源電圧Vddの変動によってセル電流が変動し、読出し速度の電源電圧依存性が大きいという問題がある。

【0013】

また、データ書き込み時、Vwellには電源電圧Vddが印加されており、VblおよびVsgには電源電圧Vddに関係なく一定である負の昇圧電圧、Vcgには電源電圧Vddに関係なく一定である正の昇圧電圧が印加されているため、データ書き込み速度を

決定する $V_{well}-V_{bl}$ および $V_{wl}-V_{cg}$ が電源電圧 V_{dd} の変動によって変わるため、データ書込み速度が大きく変わるという問題がある。

【0014】

また、電源電圧 V_{dd} に関係なく、P型MOSトランジスタおよびN型MOSトランジスタのドレイン電流を一定に保つことで、電圧変動による素子特性の変動、すなわち回路特性の変動を抑えることができるが、供給負荷の特性にあわせた昇圧電圧あるいは負昇圧電圧を供給することができないという問題がある。

【0015】

また、メモリセル評価時において、パッドに昇圧電圧相当の電圧あるいは負パッドに負昇圧電圧相当の負電圧を印加する必要があり、高電圧印加時に発生させるサージ破壊の虞がある。

【0016】

本発明は、前述した問題に鑑みてなされたものであり、その目的は、電源電圧に依存した昇圧電圧、あるいは負昇圧電圧を発生させることで、電源電圧の変動に対する素子特性および回路特性の変動を抑制し、また、回路に応じて任意の基準電圧に依存した昇圧電圧あるいは負昇圧電圧を供給することで回路特性の向上を図ることができる電圧発生回路を提供することである。

【0017】

【課題を解決するための手段】

上記目的を達成するため、本発明に係る電圧発生回路は、請求項1に記載したように、電源電圧より高い電圧を発生させる昇圧回路と、参照電圧を発生させる参照電圧発生回路と、を有し、該参照電圧を基に所望の電圧を発生させる電圧発生回路であって、第1の入力が前記昇圧回路の出力に接続され、第2の入力が前記電源に接続され、第3の入力がグランドに接続され、前記第1の入力と前記第2の入力との間の電位差によって生じる電流と等価な前記参照電流を前記第3の入力に流すことで第1の出力に制御電圧を発生させる電圧変動検知回路と、前記制御電圧と前記参照電圧とを比較する差動増幅回路と、前記差動増幅回路の出力に応じて前記昇圧回路の出力から電流を引き抜くことによって前記昇圧回路の出力電圧を制御するクランプ回路と、を有することを特徴とする。

【 0 0 1 8 】

また、本発明に係る電圧発生回路は、請求項 2 に記載したように、電源電圧より高い電圧を発生させる昇圧回路と、参照電圧を発生させる参照電圧発生回路と、を有し、該参照電圧を基に所望の電圧を発生させる電圧発生回路であって、基準電圧切替信号によって、前記電源電圧とグランド電圧とを切り替える基準電圧切替回路と、第 1 の入力の前記昇圧回路の出力に接続され、第 2 の入力の前記基準電圧切替回路の出力に接続され、第 3 の入力グランドに接続され、前記第 1 の入力と前記第 2 の入力との電位差によって生じる電流と等価な参照電流を前記第 3 の入力に流すことで第 1 の出力に制御電圧を発生させる電圧変動検知回路と、前記制御電圧と前記参照電圧とを比較する差動増幅回路と、前記差動増幅回路の出力に応じて前記昇圧回路の出力から電流を引き抜くことによって前記昇圧回路の出力電圧を制御するクランプ回路と、を有することを特徴とする。

【 0 0 1 9 】

また、本発明に係る電圧発生回路は、請求項 3 に記載したように、電源電圧より高い電圧を発生させる昇圧回路と、参照電圧を発生させる参照電圧発生回路と、を有し、該参照電圧を基に所望の電圧を発生させる電圧発生回路であって、外部電圧印加信号によって、外部印加電圧と電源電圧とを切り替えて出力する外部電圧印加回路と、第 1 の入力の前記昇圧回路の出力に接続され、第 2 の入力の前記外部電圧印加回路の出力に接続され、第 3 の入力グランドに接続され、前記第 1 の入力と前記第 2 の入力との電位差によって生じる電流と等価な参照電流を前記第 3 の入力に流すことで第 1 の出力に制御電圧を発生させる電圧変動検知回路と、前記制御電圧と前記参照電圧とを比較する差動増幅回路と、前記差動増幅回路の出力に応じて前記昇圧回路の出力端子から電流を引き抜くことによって前記昇圧回路の出力電圧を制御するクランプ回路と、を有することを特徴とする。

【 0 0 2 0 】

また、本発明に係る電圧発生回路は、請求項 4 に記載したように、電源電圧より高い電圧を発生させる昇圧回路と、参照電圧を発生させる参照電圧発生回路と、を有し、該参照電圧を基に所望の電圧を発生させる電圧発生回路であって、第 1 の入力の前記昇圧回路の出力に接続され、第 2 の入力前記電源に接続され、

第 3 の入力にグランドに接続され、前記第 1 の入力と前記第 2 の入力との間の電位差によって生じる電流と等価な参照電流を前記第 3 の入力に流すことで第 1 の出力に制御電圧を発生させる電圧変動検知回路と、設定電圧切替信号を入力とし、前と、前記第 1 の入力と前記第 2 の入力との間の 2 端子間に接続され、前記第 1 の切替手段の出力電圧に応じて前記第 1 の入力と前記第 2 の入力との間の電位差を切り替える第 2 の切替手段と、前記制御電圧と前記参照電圧とを比較する差動増幅回路と、前記差動増幅回路の出力に応じて前記昇圧回路の出力から電流を引き抜くことによって前記昇圧回路の出力電圧を制御するクランプ回路と、を有することを特徴とする。

【 0 0 2 1 】

また、本発明に係る電圧発生回路は、請求項 5 に記載したように、電源電圧より高い電圧を発生させる昇圧回路と、参照電圧を発生させる参照電圧発生回路と、を有し、該参照電圧を基に所望の電圧を発生させる電圧発生回路であって、第 1 の入力に前記昇圧回路の出力に接続され、第 2 の入力に前記電源に接続され、第 3 の入力にグランドに接続され、第 4 の入力に印加される電圧によって前記第 1 の入力と前記第 2 の入力との間の電位差によって生じる電流と一定の電流比を保った参照電流が生成され、前記参照電流を前記第 3 の入力に流すことで第 1 の出力に制御電圧を発生させる電圧変動検知回路と、設定電圧切替信号を入力とし、前記第 1 の入力と前記グランド電圧を切り替えて出力する第 1 の切替手段と、前記第 1 の入力と前記第 2 の入力との間の 2 つの端子間に接続され、前記第 1 の切替手段の出力電圧に応じて前記第 1 の入力と前記第 2 の入力との間の電位差を切り替える第 2 の切替手段と、前記第 1 の切替手段の出力に接続され、前記設定電圧切替信号に応じて前記第 1 の入力と前記第 2 の入力との間の任意の電圧あるいは前記グランド電圧を切り替えて前記第 4 の入力に印加する第 3 の切替手段と、前記差動増幅回路の出力に応じて前記昇圧回路の出力から電流を引き抜くことによって前記昇圧回路の出力電圧を制御するクランプ回路と、を有することを特徴とする。

【 0 0 2 2 】

また、本発明に係る電圧発生回路は、請求項 6 に記載したように、前記クラン

プ回路は、ソースが前記昇圧回路の出力に接続され、ゲートが前記差動増幅回路の出力に接続され、ドレインが前記電源あるいは前記グランドに接続された第1導電型のトランジスタを有し、前記差動増幅回路は、前記昇圧回路の出力電圧が供給され、前記制御電圧と前記参照電圧とを比較し、前記昇圧回路の出力電圧によって差動増幅することを特徴とする。

【 0 0 2 3 】

また、本発明に係る電圧発生回路は、請求項7に記載したように、前記クランプ回路は、ソースが前記昇圧回路の出力に接続され、ゲートとドレインとが第1の端子に接続された第1導電型の第1のトランジスタと、ソースが前記昇圧回路の出力に接続され、ゲートが前記第1の端子に接続され、ドレインが前記電源あるいは前記グランドに接続された第1導電型の第2のトランジスタと、前記第1の端子と前記グランド間に接続され、ゲートが前記差動増幅回路の出力に接続された第2導電型のトランジスタと、を有し、前記差動増幅回路は、前記電源電圧が供給され、前記制御電圧と前記参照電圧とを比較し、前記電源電圧によって差動増幅することを特徴とする。

【 0 0 2 4 】

また、本発明に係る電圧発生回路は、請求項8に記載したように、電源電圧より高い電圧を発生させる昇圧回路と、参照電圧を発生させる参照電圧発生回路と、を有し、該参照電圧を基に所望の電圧を発生させる電圧発生回路であって、前記昇圧回路の出力電圧を入力とし、レベルシフトした電圧を出力するレベルシフト回路と、第1の入力が前記レベルシフト回路の出力に接続され、第2の入力が前記電源に接続され、第3の入力がグランドに接続され、前記第1の入力と前記第2の入力との間の電位差によって生じる電流と等価な参照電流を前記第3の入力に流すことで第1の出力に制御電圧を発生させる電圧変動検知回路と、前記制御電圧と前記参照電圧とを比較して前記レベルシフト回路を制御することで前記レベルシフト回路の出力に所望の電圧を出力させる差動増幅回路と、を有することを特徴とする。

【 0 0 2 5 】

また、本発明に係る電圧発生回路は、請求項9に記載したように、設定電圧切

替信号を入力とし、前記第 1 の入力と前記グランド電圧とを切り替えて出力する第 1 の切替手段と、前記第 1 の入力と前記第 2 の入力との間に接続され、前記第 1 の切替手段の出力電圧に応じて、前記第 1 の入力と前記第 2 の入力との間の電位差を切り替える第 2 の切替手段と、を有することを特徴とする。

【 0 0 2 6 】

また、本発明に係る電圧発生回路は、請求項 1 0 に記載したように、第 1 の入力が入力前記レベルシフト回路の出力に接続され、第 2 の入力が入力前記電源に接続され、第 3 の入力が入力グランドに接続され、第 4 の入力に印加される電圧によって、前記第 1 の入力と前記第 2 の入力との間の電位差によって生じる電流に対し一定の電流比を保った参照電流が生成され、前記参照電流を前記第 3 の入力に流すことで第 1 の出力に制御電圧を発生させる電圧変動検知回路と、設定電圧切替信号を入力とし、前記第 1 の入力と前記グランド電圧とを切り替えて出力する第 1 の切替手段と、前記第 1 の入力と前記第 2 の入力との間に接続され、前記第 1 の切替手段の出力電圧に応じて前記第 1 の入力と前記第 2 の入力との間の電位差を切り替える第 2 の切替手段と、前記第 1 の切替手段の出力に接続され、前記設定電圧切替信号に応じて前記第 1 の入力と前記第 2 の入力との間の任意の電圧あるいは前記グランド電圧を切り替えて前記第 4 の入力に印加する第 3 の切替手段と、を有することを特徴とする。

【 0 0 2 7 】

また、本発明に係る電圧発生回路は、請求項 1 1 に記載したように、前記レベルシフト回路は、ソースが入力前記昇圧回路の出力に接続され、ゲートが入力前記差動増幅回路の出力に接続され、ドレインが入力前記レベルシフト回路の出力に接続された第 1 導電型のトランジスタを有し、前記差動増幅回路は、前記昇圧回路の出力電圧が供給され、前記制御電圧と前記参照電圧とを比較し、前記昇圧回路の出力電圧によって差動増幅することを特徴とする。

【 0 0 2 8 】

また、本発明に係る電圧発生回路は、請求項 1 2 に記載したように、前記レベルシフト回路は、ソースが入力前記昇圧回路の出力に接続され、ゲートとドレインとが入力第 1 の端子に接続された第 1 導電型の第 1 のトランジスタと、ソースが入力前記昇

圧回路の出力に接続され、ゲートが前記第 1 の端子に接続され、ドレインが前記レベルシフト回路の出力に接続された第 1 導電型の第 2 のトランジスタと、前記第 1 の端子と前記グランド間に接続され、ゲートが前記差動増幅回路の出力に接続された第 2 導電型のトランジスタと、を有し、前記差動増幅回路は、前記電源電圧が供給され、前記制御電圧と前記参照電圧とを比較し、前記電源電圧によって差動増幅することを特徴とする。

【 0 0 2 9 】

また、本発明に係る電圧発生回路は、請求項 1 3 に記載したように、基準電圧切替信号によって前記電源電圧と前記グランド電圧とを切り替える基準電圧切替回路を有し、前記第 2 の入力が入記基準電圧切替回路の出力に接続されたことを特徴とする。

【 0 0 3 0 】

また、本発明に係る電圧発生回路は、請求項 1 4 に記載したように、前記電源電圧によって基準電圧を発生させる基準電圧発生回路と、基準電圧切替信号によって前記電源電圧あるいは前記グランド電圧と前記基準電圧とを切り替える基準電圧切替回路と、を有し、前記第 2 の入力が入記基準電圧切替回路の出力に接続されたことを特徴とする。

【 0 0 3 1 】

また、本発明に係る電圧発生回路は、請求項 1 5 に記載したように、前記電源電圧によって基準電圧を発生させる基準電圧発生回路と、基準電圧切替信号によって前記電源電圧と前記グランド電圧と前記基準電圧との内、いずれかを選択する基準電圧切替回路を有し、前記第 2 の入力が入記基準電圧切替回路の出力に接続されたことを特徴とする。

【 0 0 3 2 】

また、本発明に係る電圧発生回路は、請求項 1 6 に記載したように、外部電圧印加信号によって外部印加電圧と前記電源電圧とを切り替えて出力する外部電圧印加回路を有し、前記第 2 の入力が入記外部電圧印加回路の出力に接続されたことを特徴とする。

【 0 0 3 3 】

また、本発明に係る電圧発生回路は、請求項 1 7 に記載したように、外部電圧印加信号によって外部印加電圧と前記グランド電圧とを切り替えて出力する外部電圧印加回路を有し、前記第 2 の入力の前記外部電圧印加回路の出力に接続されたことを特徴とする。

【 0 0 3 4 】

また、本発明に係る電圧発生回路は、請求項 1 8 に記載したように、前記電源電圧によって基準電圧を発生させる基準電圧発生回路と、外部電圧印加信号によって外部印加電圧と前記基準電圧とを切り替えて出力する外部電圧印加回路と、を有し、前記第 2 の入力の前記外部電圧印加回路の出力に接続されたことを特徴とする。

【 0 0 3 5 】

また、本発明に係る電圧発生回路は、請求項 1 9 に記載したように、外部印加電圧と前記基準電圧切替回路の出力電圧とを入力とし、外部電圧印加信号によって出力電圧を切り替えて出力する外部電圧印加回路を有し、前記第 2 の入力の前記外部電圧印加回路の出力に接続されたことを特徴とする。

【 0 0 3 6 】

また、本発明に係る電圧発生回路は、請求項 2 0 に記載したように、電源電圧を用いてグランド電圧より低い電圧を発生させる負昇圧回路と、参照電圧を発生させる参照電圧発生回路と、を有し、該参照電圧を基に所望の電圧を発生させる電圧発生回路であって、第 1 の入力の前記電源に接続され、第 2 の入力の前記負昇圧回路の出力に接続され、第 3 の入力グランドに接続され、前記第 1 の入力と前記第 2 の入力との間の電位差によって生じる電流と等価な参照電流を前記第 3 の入力に流すことで第 1 の出力に制御電圧を発生させる電圧変動検知回路と、前記制御電圧と前記参照電圧とを比較する差動増幅回路と、前記差動増幅回路の出力に応じて前記負昇圧回路の出力から電流を引き抜くことによって前記負昇圧回路の出力電圧を制御するクランプ回路と、を有することを特徴とする。

【 0 0 3 7 】

また、本発明に係る電圧発生回路は、請求項 2 1 に記載したように、前記クランプ回路は、ソースおよび基板が前記負昇圧回路の出力に接続され、ゲートが前

記差動増幅回路の出力に接続され、ドレインが前記電源あるいは前記グランドに接続された第2導電型のトランジスタを有し、前記差動増幅回路は、前記電源電圧と前記負昇圧回路の出力電圧とが供給され、前記制御電圧と前記参照電圧とを比較し、前記電源電圧と前記負昇圧回路の出力電圧とによって差動増幅することを特徴とする。

【 0 0 3 8 】

また、本発明に係る電圧発生回路は、請求項22に記載したように、前記クランプ回路は、ソースおよび基板が前記負昇圧回路の出力に接続され、ゲートとドレインとが第1の端子に接続された第2導電型の第1のトランジスタと、ソースおよび基板が前記負昇圧回路の出力に接続され、ゲートが前記第1の端子に接続され、ドレインが前記電源あるいは前記グランドに接続された第2導電型の第2のトランジスタと、前記電源と前記第1の端子間に接続され、ゲートが前記差動増幅回路の出力に接続された第1導電型のトランジスタと、を有し、前記差動増幅回路は、前記電源電圧と前記グランド電圧とが供給され、前記制御電圧と前記参照電圧とを比較し、前記電源電圧と前記グランド電圧とによって差動増幅することを特徴とする。

【 0 0 3 9 】

また、本発明に係る電圧発生回路は、請求項23に記載したように、電源電圧を用いてグランド電圧より低い電圧を発生させる負昇圧回路と、参照電圧を発生させる参照電圧発生回路と、を有し、該参照電圧を基に所望の電圧を発生させる電圧発生回路であって、前記負昇圧回路の出力電圧を入力とし、レベルシフトした電圧を出力するレベルシフト回路と、第1の入力が前記電源に接続され、第2の入力が前記レベルシフト回路の出力に接続され、第3の入力がグランドに接続され、前記第1の入力と前記第2の入力との間の電位差によって生じる電流と等価な参照電流を前記第3の入力に流すことで第1の出力に制御電圧を発生させる電圧変動検知回路と、前記制御電圧と前記参照電圧とを比較して前記レベルシフト回路を制御することで前記レベルシフト回路の出力に所望の負電圧を出力する差動増幅回路と、を有することを特徴とする。

【 0 0 4 0 】

また、本発明に係る電圧発生回路は、請求項 2 4 に記載したように、参照電圧を発生させる参照電圧発生回路を有し、該参照電圧を基に所望の電圧を発生させる電圧発生回路であって、グランド電圧を入力とし、レベルシフトした電圧を出力するレベルシフト回路と、第 1 の入力の前記電源に接続され、第 2 の入力の前記レベルシフト回路の出力に接続され、第 3 の入力グランドに接続され、前記第 1 の入力と前記第 2 の入力との間の電位差によって生じる電流と等価な参照電流を前記第 3 の入力に流すことで第 1 の出力に制御電圧を発生させる電圧変動検知回路と、前記制御電圧と前記参照電圧とを比較して、前記レベルシフト回路を制御することで前記レベルシフト回路の出力に所望の電源電圧より降圧した電圧を出力する手段を有する差動増幅回路と、を有することを特徴とする。

【 0 0 4 1 】

また、本発明に係る電圧発生回路は、請求項 2 5 に記載したように、前記レベルシフト回路は、ソースおよび基板が前記負昇圧回路の出力に接続され、ゲートが前記差動増幅回路の出力に接続され、ドレインが前記レベルシフト回路の出力に接続された第 2 導電型のトランジスタを有し、前記差動増幅回路は、前記電源電圧と前記負昇圧の出力電圧とが供給され、前記制御電圧と前記参照電圧とを比較し、前記電源電圧と前記負昇圧回路の出力電圧とによって差動増幅することを特徴とする。

【 0 0 4 2 】

また、本発明に係る電圧発生回路は、請求項 2 6 に記載したように、前記レベルシフト回路は、ソースおよび基板が前記負昇圧回路の出力に接続され、ゲートとドレインとが第 1 の端子に接続された第 2 導電型の第 1 のトランジスタと、ソースおよび基板が前記負昇圧回路の出力に接続され、ゲートが前記第 1 の端子に接続され、ドレインが前記レベルシフト回路の出力に接続された第 2 導電型の第 2 のトランジスタと、前記電源と前記第 1 の端子間に接続され、ゲートが前記差動増幅回路の出力に接続された第 1 導電型のトランジスタと、を有し、前記差動増幅回路は、前記電源電圧と前記グランド電圧とが供給され、前記制御電圧と前記参照電圧とを比較し、前記電源電圧と前記グランド電圧とによって差動増幅することを特徴とする。

【 0 0 4 3 】

また、本発明に係る電圧発生回路は、請求項 2 7 に記載したように、設定電圧切替信号を入力とし、前記電源電圧と前記第 2 の入力の電圧とを切り替えて出力する第 1 の切替手段と、前記第 1 の入力と前記第 2 の入力との間の 2 つの端子間に接続され、前記第 1 の切替手段の出力に応じて前記第 1 の入力と前記第 2 の入力との間の電位差を切り替える第 2 の切替手段と、を有することを特徴とする。

【 0 0 4 4 】

また、本発明に係る電圧発生回路は、請求項 2 8 に記載したように、前記電源電圧、前記参照電圧、前記電源電圧によって発生された任意の基準電圧、のうちのいずれか 2 つの電圧あるいは 3 つの電圧を、基準電圧切替信号によって切り替える基準電圧切替回路を有し、前記第 1 の入力の前記基準電圧切替回路の出力に接続されたことを特徴とする。

【 0 0 4 5 】

また、本発明に係る電圧発生回路は、請求項 2 9 に記載したように、外部電圧印加信号によって、外部印加電圧と、前記電源電圧あるいは前記参照電圧あるいは前記電源電圧によって発生された任意の基準電圧と、を切り替える手段を有する外部電圧印加回路を有し、前記第 1 の入力の前記外部電圧印加回路の出力に接続されたことを特徴とする。

【 0 0 4 6 】

また、本発明に係る電圧発生回路は、請求項 3 0 に記載したように、外部印加電圧と前記基準電圧切替回路の出力電圧とを入力とし、外部電圧印加信号によって前記外部印加電圧と前記基準電圧切替回路の出力電圧とを切り替えて出力する外部電圧印加回路を有し、前記第 1 の入力の前記外部電圧印加回路の出力に接続されたことを特徴とする。

【 0 0 4 7 】

また、本発明に係る電圧発生回路は、請求項 3 1 に記載したように、前記参照電圧は、ボルテージフォロワー回路によって前記参照電圧と同じ電圧レベルの電圧を印加できることを特徴とする。

【 0 0 4 8 】

また、本発明に係る電圧発生回路は、請求項 3 2 に記載したように、前記電圧変動検知回路は、第 1 の中間ノードが前記第 1 の入力と前記第 2 の入力間に接続され、前記第 1 の出力が前記第 1 の入力と前記第 3 の入力間に接続され、前記第 1 の中間ノードの電圧を検出することで、前記第 1 の入力と前記第 2 の入力の電位差によって発生した電流と等価な参照電流を前記第 1 の入力から前記第 1 の出力に流すように構成されたカレントミラー回路と、前記第 1 の中間ノードと前記第 2 の入力間に接続された抵抗手段と、前記第 1 の出力と前記第 3 の入力間に接続され、前記参照電流が流れることで前記第 1 の出力に前記制御電圧を発生させる制御電圧発生回路と、を有することを特徴とする。

【 0 0 4 9 】

また、本発明に係る電圧発生回路は、請求項 3 3 に記載したように、前記電圧変動検知回路は、第 1 の中間ノードが前記第 1 の入力と前記第 2 の入力との間に接続され、前記第 1 の出力が前記第 1 の入力と前記第 3 の入力間に接続され、前記第 4 の入力に印加される電圧によって前記第 1 の入力と前記第 2 の入力の電位差によって発生した電流に対して一定の電流比を保った参照電流を前記第 1 の入力から前記第 1 の出力に流すように構成されたカレントミラー回路と、前記第 1 の中間ノードと前記第 2 の入力間に接続された抵抗手段と、前記第 1 の出力と前記第 3 の入力間に接続され、前記参照電流が流れることで前記第 1 の出力に前記制御電圧を発生させる制御電圧発生回路と、を有することを特徴とする。

【 0 0 5 0 】

また、本発明に係る電圧発生回路は、請求項 3 4 に記載したように、前記抵抗手段は、前記第 1 の中間ノードと前記第 2 の入力との間に、複数の抵抗が直列に接続されたことを特徴とする。

【 0 0 5 1 】

また、本発明に係る電圧発生回路は、請求項 3 5 に記載したように、前記抵抗手段は、前記第 1 の中間ノードと前記第 2 の入力との間に、ゲートとドレインが接続され、基板とソースが接続された複数の第 1 導電型の第 1 0 のトランジスタが直列に接続されたことを特徴とする。

【 0 0 5 2 】

また、本発明に係る電圧発生回路は、請求項 3 6 に記載したように、前記制御電圧発生回路は、前記第 1 の出力と前記第 3 の入力との間に、複数の抵抗が直列に接続されたことを特徴とする。

【 0 0 5 3 】

また、本発明に係る電圧発生回路は、請求項 3 7 に記載したように、前記制御電圧発生回路は、前記第 1 の出力と前記第 3 の入力との間に、ゲートとドレインとが接続され、ソースと基板とが接続された第 1 導電型の第 1 0 のトランジスタが 1 つ以上直列に接続されたことを特徴とする。

【 0 0 5 4 】

また、本発明に係る電圧発生回路は、請求項 3 8 に記載したように、前記カレントミラー回路は、ソースが前記第 1 の入力に接続され、ゲートとドレインと前記第 1 の中間ノードに接続された第 1 導電型の第 1 1 のトランジスタと、ソースが前記第 1 の入力に接続され、ゲートが前記第 1 の中間ノードに接続され、ドレインが前記第 1 の出力に接続された第 1 導電型の第 1 2 のトランジスタと、を有することを特徴とする。

【 0 0 5 5 】

また、本発明に係る電圧発生回路は、請求項 3 9 に記載したように、前記カレントミラー回路は、前記第 1 の入力と前記第 1 の中間ノードとの間に直列に接続された複数の抵抗と、ソースが前記第 1 の入力に接続され、ゲートが第 1 の中間ノードに接続され、ドレインが前記第 1 の出力に接続された第 1 導電型の第 1 3 のトランジスタと、を有することを特徴とする。

【 0 0 5 6 】

また、本発明に係る電圧発生回路は、請求項 4 0 に記載したように、前記カレントミラー回路は、ソースが前記第 1 の入力に接続され、ゲートとドレインが前記第 1 の中間ノードに接続された第 1 導電型の第 1 1 のトランジスタと、ソースが前記第 1 の入力に接続され、ゲートが前記第 1 の中間ノードに接続され、ドレインが第 2 の中間ノードに接続された第 1 導電型の第 1 2 のトランジスタと、ソースが前記第 2 の中間ノードに接続され、ゲートが前記抵抗手段の任意の端子に接続され、ドレインが前記第 1 の出力に接続された第 1 導電型の第 1 3 のトラン

ジスタと、を有することを特徴とする。

【 0 0 5 7 】

また、本発明に係る電圧発生回路は、請求項 4 1 に記載したように、前記カレントミラー回路は、前記第 1 の入力と前記第 1 の中間ノードとの間に直列に接続された複数の抵抗と、ソースが前記第 1 の入力に接続され、ゲートが前記第 1 の中間ノードに接続され、ドレインが第 2 の中間ノードに接続された第 1 導電型の第 1 2 のトランジスタと、ソースが前記第 2 の中間ノードに接続され、ゲートが前記抵抗手段の任意の端子に接続され、ドレインが前記第 1 の出力に接続された第 1 導電型の第 1 3 のトランジスタと、を有することを特徴とする。

【 0 0 5 8 】

また、本発明に係る電圧発生回路は、請求項 4 2 に記載したように、前記カレントミラー回路は、ソースが前記第 1 の入力に接続され、ゲートとドレインが前記第 1 の中間ノードに接続された第 1 導電型の第 1 1 のトランジスタと、ソースが前記第 1 の入力に接続され、ゲートが前記第 1 の中間ノードに接続され、ドレインが第 2 の中間ノードに接続された第 1 導電型の第 1 2 のトランジスタと、ソースが前記第 2 の中間ノードに接続され、ゲートが前記第 4 の入力に接続され、ドレインが前記第 1 の出力に接続された第 1 導電型の第 1 3 のトランジスタと、を有することを特徴とする。

【 0 0 5 9 】

また、本発明に係る電圧発生回路は、請求項 4 3 に記載したように、前記カレントミラー回路は、前記第 1 の入力と前記第 1 の中間ノードとの間に直列に接続された複数の抵抗と、ソースが前記第 1 の入力に接続され、ゲートが前記第 1 の中間ノードに接続され、ドレインが第 2 の中間ノードに接続された第 1 導電型の第 1 2 のトランジスタと、ソースが前記第 2 の中間ノードに接続され、ゲートが前記第 4 の入力に接続され、ドレインが前記第 1 の出力に接続された第 1 導電型の第 1 3 のトランジスタと、を有することを特徴とする。

【 0 0 6 0 】

また、本発明に係る電圧発生回路は、請求項 4 4 に記載したように、電源電圧より高い電圧を発生させる昇圧回路と、電源電圧を用いてグランド電圧より低い

電圧を発生させる負昇圧回路と、参照電圧を発生させる参照電圧発生回路と、を有し、該参照電圧を基に所望の電圧を発生させる電圧発生回路であって、第 1 の外部電圧印加信号によって外部印加電圧と前記電源電圧を切り替える手段を有する第 1 の外部電圧印加回路と、第 1 1 の入力が入記昇圧回路の出力に接続され、第 1 2 の入力が入記第 1 の外部電圧印加回路の出力に接続され、第 1 3 の入力が入記グランドに接続され、第 1 の出力に第 1 の制御電圧を発生させる第 1 の電圧変動検知回路と、前記第 1 の制御電圧と前記参照電圧とを比較する第 1 の差動増幅回路と、前記第 1 の差動増幅回路の出力に応じて前記昇圧回路の出力電圧を制御する第 1 のクランプ回路と、第 2 の外部電圧印加信号によって前記外部印加電圧と前記電源電圧を切り替える手段を有する第 2 の外部電圧印加回路と、第 3 1 の入力が入記電源に接続され、第 3 2 の入力が入記負昇圧回路の出力に接続され、第 3 3 の入力が入記グランドに接続され、第 3 の出力に第 3 の制御電圧を発生させる第 3 の電圧変動検知回路と、前記第 3 の制御電圧と前記参照電圧とを比較する第 3 の差動増幅回路と、前記第 3 の差動増幅回路の出力に応じて前記負昇圧回路の出力電圧を制御する第 2 のクランプ回路と、を有することを特徴とする。

【 0 0 6 1 】

また、本発明に係る電圧発生回路は、請求項 4 5 に記載したように、電源電圧より高い電圧を発生させる昇圧回路と、電源電圧を用いてグランド電圧より低い電圧を発生させる負昇圧回路と、参照電圧を発生させる参照電圧発生回路を有し、該参照電圧を基に所望の電圧を発生させる電圧発生回路であって、第 1 の外部電圧印加信号によって外部印加電圧と前記電源電圧を切り替える手段を有する第 1 の外部電圧印加回路と、第 1 1 の入力が入記昇圧回路の出力に接続され、第 1 2 の入力が入記第 1 の外部電圧印加回路の出力に接続され、第 1 3 の入力が入記グランドに接続され、第 1 の出力に第 1 の制御電圧を発生させる第 1 の電圧変動検知回路と、前記第 1 の制御電圧と前記参照電圧とを比較する第 1 の差動増幅回路と、前記第 1 の差動増幅回路の出力に応じて前記昇圧回路の出力電圧を制御する第 1 のクランプ回路と、前記昇圧回路の出力電圧を入力とし、レベルシフトした電圧を出力する第 1 のレベルシフト回路と、第 2 1 の入力が入記第 1 のレベルシフト回路の出力に接続され、第 2 2 の入力が入記電源に接続され、第 2 3 の入力が入記

前記グランドに接続され、第 2 の出力に第 2 の制御電圧を発生させる第 2 の電圧変動検知回路と、前記第 2 の制御電圧と前記参照電圧とを比較して前記第 1 のレベルシフト回路を制御することで前記第 1 のレベルシフト回路の出力に所望の電圧を出力させる手段を有する第 2 の差動増幅回路と、第 2 の外部電圧印加信号によって前記外部印加電圧と前記電源電圧を切り替える手段を有する第 2 の外部電圧印加回路と、第 3 1 の入力の前記電源に接続され、第 3 2 の入力の前記負昇圧回路の出力に接続され、第 3 3 の入力グランドに接続され、第 3 の出力に第 3 の制御電圧を発生させる第 3 の電圧変動検知回路と、前記第 3 の制御電圧と前記参照電圧とを比較する第 3 の差動増幅回路と、前記第 3 の差動増幅回路の出力に応じて前記負昇圧回路の出力電圧を制御する第 2 のクランプ回路と、前記負昇圧回路の出力電圧を入力とし、レベルシフトした電圧を出力する第 2 のレベルシフト回路と、第 4 1 の入力前記電源に接続され、第 4 2 の入力前記第 2 のレベルシフト回路の出力に接続され、第 4 3 の入力前記グランドに接続され、第 4 の出力に第 4 の制御電圧を発生させる第 4 の電圧変動検知回路と、前記第 4 の制御電圧と前記参照電圧とを比較して前記第 2 のレベルシフト回路を制御することで前記第 2 のレベルシフト回路の出力に所望の負電圧を出力する手段を有する第 4 の差動増幅回路と、を有することを特徴とする。

【 0 0 6 2 】

また、本発明に係る電圧発生回路は、請求項 4 6 に記載したように、前記参照電圧発生回路は、参照電圧を発生させる参照電圧発生部と、トリミング信号を入力とし前記参照電圧の電圧レベルを変更して参照電圧を発生させるトリミング回路部と、を有することを特徴とする。

【 0 0 6 3 】

また、本発明に係る電圧発生回路は、請求項 4 7 に記載したように、前記参照電圧発生回路は、参照電圧を発生させる参照電圧発生部と、トリミング信号を入力とし前記参照電圧の電圧レベルを変更して参照電圧を発生させる手段を有するトリミング回路部と、を有し、前記グランド電圧を入力とし、レベルシフトした電圧を出力する第 3 のレベルシフト回路と、第 5 1 の入力前記電源に接続され、第 5 2 の入力前記第 3 のレベルシフト回路の出力に接続され、第 5 3 の入力

が前記グラウンドに接続され、第 5 の出力に第 5 の制御電圧を発生させる第 5 の電圧変動検知回路と、前記第 5 の制御電圧と前記参照電圧とを比較して前記第 3 のレベルシフト回路を制御することで前記第 3 のレベルシフト回路の出力に前記電源電圧と前記グラウンド電圧間の前記電源電圧より降圧した電圧を出力する第 5 の差動増幅回路と、を有することを特徴とする。

【 0 0 6 4 】

【発明の実施の形態】

以下、本発明に係る実施形態に係る電圧発生回路について、図面を参照しながら説明する。

【 0 0 6 5 】

(第 1 の実施形態)

本発明に係る第 1 の実施形態に係る電圧発生回路について説明する。図 1 は第 1 の実施形態に係る電圧発生回路の構成を示すブロック図である。

図 1 において、1 は電源電圧 V_{dd} を電源電圧 V_{dd} 以上に昇圧する昇圧回路、2 は電源電圧 V_{dd} より参照電圧 V_{ref} を発生させる参照電圧発生回路、3 は昇圧回路 1 が出力する電圧を所望の昇圧電圧 V_{ph} にクランプするリミッタ回路、4 は昇圧電圧 V_{ph} と電源電圧 V_{dd} との電位差を電流変換した後、グラウンド電圧 V_{ss} を基準とした制御電圧 V_{fd} を発生させる電圧変動検知回路、4 1 はカレントミラー回路、4 2 は抵抗回路、4 3 は制御電圧発生回路、5 は昇圧電圧 V_{ph} の電圧依存性を決定する基準電圧 V_{base} 、6 は制御回路、6 1 は参照電圧 V_{ref} と制御電圧 V_{fd} を入力として差動増幅する差動増幅回路、6 2 は差動増幅回路 6 1 の出力電圧 V_a によって昇圧電圧 V_{ph} を電源電圧 V_{dd} に引き抜くことで昇圧電圧 V_{ph} を所望の電圧に設定するクランプ回路である。

【 0 0 6 6 】

次に、第 1 の実施形態に係る電圧発生回路の動作について説明する。昇圧回路 1 は電源電圧 V_{dd} より高い電圧を発生させると、昇圧電圧 V_{ph} と基準電圧 V_{base} 間に電位差 ($V_{ph} - V_{base}$) が発生する。電位差 ($V_{ph} - V_{base}$) はカレントミラー回路 4 1 および抵抗回路 4 2 によって電流変換され、抵抗回路 4 2 に流れる電流に相当する参照電流がカレントミラー回路 4 1 によって生成され、制御電圧発生回路

4 3 に流れることでグランド電圧基準である制御電圧 V_{fd} が発生する。予め発生された参照電圧 V_{ref} と制御電圧 V_{fd} を差動増幅回路 6 1 で比較することで、クランプ回路 6 2 を制御し、昇圧電圧 V_{ph} を所望の電圧に設定する。

【 0 0 6 7 】

図 2 は、第 1 の実施形態に係る電圧発生回路の電圧変動検知回路 4 の構成の一例を示す回路図である。1 0 1、1 0 2、1 0 3、1 0 4、1 0 5 はそれぞれ P 型 MOS トランジスタで構成されている。仮に P 型 MOS トランジスタ 1 0 1、1 0 2、1 0 3、1 0 4、1 0 5 のトランジスタサイズが同じであるとする。昇圧電圧 V_{ph} と基準電圧 V_{base} 間に発生した電位差 ($V_{ph} - V_{base}$) は、P 型 MOS トランジスタ 1 0 1、1 0 3、1 0 4 に分圧され、各々に分圧された電圧 V_{gs} は ($V_{ph} - V_{base}$) / (3 段のダイオード接続) となる。 V_{gs} に相当する電流がカレントミラー回路 4 1 によって P 型 MOS トランジスタ 1 0 5 に流れて制御電圧 V_{fd} ($=V_{gs}$) を発生する。予め発生した参照電圧 V_{ref} と制御電圧 V_{fd} を差動増幅回路 6 1 で比較してクランプ回路 6 2 を制御することで、昇圧電圧 V_{ph} を所望の電圧に設定する。上記より、 $V_{ref} = V_{fd}$ となることから、

$$V_{ref} = ((V_{ph} - V_{base}) / (3 \text{ 段のダイオード接続}))$$

が成立し、昇圧電圧 V_{ph} は ((3 段のダイオード接続) $\cdot V_{ref} + V_{base}$) の電圧に設定される。従って、抵抗回路 4 2 において直列接続された P 型 MOS トランジスタが N 段 ($N \geq 1$) の場合、昇圧電圧 V_{ph} は、

$$((N + 1) \cdot V_{ref} + V_{base}) \text{ に設定される。}$$

【 0 0 6 8 】

図 3 は、第 1 の実施形態に係る電圧発生回路の制御回路 6 の構成の一例を示す回路図である。1 0 6 は差動増幅回路 6 1 の出力電圧に応じたドレイン電流を流す N 型 MOS トランジスタ、1 0 7 は N 型 MOS トランジスタ 1 0 6 のドレイン電流に応じた V_{gs} を発生させる P 型 MOS トランジスタ、1 0 8 は P 型 MOS トランジスタ 1 0 7 の V_{gs} が印加されることで昇圧電圧 V_{ph} を電源電圧 V_{dd} へ引き抜く作用をする P 型 MOS トランジスタである。予め発生された参照電圧 V_{ref} と制御電圧 V_{fd} が電源電圧駆動の差動増幅回路 6 1 によって比較され、差動増幅回路 6 1 の出力電圧 V_a に応じたドレイン電流を N 型 MOS トランジスタ 1 0 6 が流

すことで、P型MOSトランジスタ108によって、昇圧電圧 V_{ph} から電源電圧 V_{dd} に引き抜く電流量が調整され、昇圧電圧 V_{ph} を所望の電圧に設定する。

【0069】

このように、第1の実施形態に係る電圧発生回路によれば、カレントミラー回路41と抵抗回路42と制御電圧発生回路43を有する電圧変動検知回路4を備えることで、基準電圧 V_{base} ($=V_{dd}$) に依存した高精度な昇圧電圧 V_{ph} を得ることができる。

【0070】

また、電源電圧 V_{dd} によって駆動する差動増幅回路61を備えることで、昇圧電圧 V_{ph} より消費する電流を削減することができるため、昇圧回路1による電源電圧 V_{dd} の無駄な消費を削減することが可能となる。

【0071】

なお、第1の実施形態においては、電圧変動検知回路4について説明したが、これは一例であって、他の電圧変動検知回路を用いてもよい。このような他の電圧変動検知回路を図4、図5および図6に例示する。

例えば、図4に示すように、抵抗回路42aの任意の端子電圧を供給されたP型MOSトランジスタ109を有するカレントミラー回路41aを備えた電圧変動検出回路4aにおいても図2で示した電圧変動検知回路4と同様の動作が得られる。

【0072】

さらに、電圧変動検知回路4aは、抵抗回路42aの任意の端子電圧を供給されたP型MOSトランジスタ109を有することで、P型MOSトランジスタ102のドレイン電圧の変動を抑えることができるため、P型MOSトランジスタ101のドレイン電流とトランジスタ102のドレイン電流の電流比を昇圧電圧 V_{ph} の電圧レベルに依存せず一定に保つことができる。従って、電圧変動検知回路4に比べて高精度に昇圧電圧 V_{ph} を所望の電圧に設定できる。

【0073】

また、図5のように、図2で示されたP型MOSトランジスタ101を抵抗110に、P型MOSトランジスタ103および104をそれぞれ抵抗111、1

1 2 に置き換え、抵抗回路 4 2 b の任意の端子電圧を供給された P 型 MOS トランジスタ 1 0 9 を有するカレントミラー回路 4 1 b を備えた電圧変動検出回路 4 b においても図 2 で示した電圧変動検知回路 4 と同様の動作が得られる。

【 0 0 7 4 】

また、図 6 のように、図 3 で示された P 型 MOS トランジスタ 1 0 3 および 1 0 4 をそれぞれ抵抗 1 1 1、1 1 2 に、P 型 MOS トランジスタ 1 0 5 を抵抗 1 1 3 に置き換え、抵抗回路 4 2 b の任意の端子電圧を供給された P 型 MOS トランジスタ 1 0 9 を有するカレントミラー回路 4 1 a を備えた電圧変動検出回路 4 c においても図 2 で示した電圧変動検知回路 4 と同様の動作が得られる。

【 0 0 7 5 】

上述のように、電圧変動検知回路の例として、図 2、図 4 ～図 6 で示される電圧変動検知回路 4、4 a、4 b、4 c を挙げて説明したが、電圧変動検知回路は、電圧変動検知回路 4、4 a、4 b、4 c と同様の動作が得られるものであれば、これらに限定されない。

【 0 0 7 6 】

また、図 7 および図 8 は、制御回路の他の例を示す回路図である。例えば、図 7 において、図 3 で示した P 型 MOS トランジスタ 1 0 7 をゲートがグランドに接続された P 型 MOS トランジスタ 1 1 5 に置き換えた構成の制御回路 6 a によって、図 3 で示した制御回路 6 と同様の動作が得られる。

【 0 0 7 7 】

また、図 8 に示す例では、図 3 で示した差動増幅回路 6 1 を昇圧電圧 V_{ph} で駆動し、クランプ回路 6 2 を P 型 MOS トランジスタ 1 1 6 に置き換えた構成の制御回路 6 b によって、図 3 で示した制御回路 6 と同様の動作が得られる。

この制御回路 6 b は、制御回路 6 に比べてクランプ回路 6 2 に使用されているカレントミラー回路がないことから、応答性の良い回路設計が可能である。従って、負荷変動が早い回路にも使用することが可能である。

【 0 0 7 8 】

(第 2 の実施形態)

以下、本発明に係る第 2 の実施形態に係る電圧発生回路について、図面を参照

しながら説明する。図 9 は、第 2 の実施形態に係る電圧発生回路の構成を示すブロック図である。

【0079】

なお、図 9 において、図 1 と同一符号を付した部分は、同一または相当する部分を示している。

第 2 の実施形態に係る電圧発生回路は、第 1 の実施形態に係る電圧発生回路において、基準電圧切替信号 V_{swbs} による基準電圧 V_{base} の切り替え、および外部電圧印加信号 V_{swext} によるパッド 8 より印加される外部印加電圧を基準電圧 V_{base} とすることが可能である基準電圧印加回路 7 を用いたリミッタ回路 3 a を備えたものである。

【0080】

図 10 は、第 2 の実施形態に係る基準電圧印加回路 7 の一例を示す回路図である。図 10 において、71 は基準電圧切替信号 V_{swbs} によって内部電圧を切り替える基準電圧切替回路、72 は外部電圧印加信号 V_{swext} によって内部電圧と外部印加電圧 V_{ppex} とを切り替える外部電圧印加回路である。

【0081】

また、図 10 の基準電圧印加回路 7 においては、基準電圧切替信号 V_{swbs} によって、基準電圧切替回路 71 に電源電圧 V_{dd} あるいはグランド電圧 V_{ss} が出力され、外部電圧印加信号 V_{swext} によって、基準電圧切替回路 71 の出力電圧と外部印加電圧 V_{ppex} とのいずれかが選択され基準電圧 V_{base} となる。

【0082】

次に、第 2 の実施形態に係る電圧発生回路の動作について説明する。ただし、基準電圧印加回路 7 以外の回路の動作は、基準電圧 V_{base} が電源電圧 V_{dd} 固定から基準電圧印加回路 7 によって切り替え可能となった以外は、第 1 の実施形態と同様であるので、この部分の動作の説明は省略する。

【0083】

基準電圧印加回路 7 において、基準電圧切替信号 V_{swbs} および外部電圧印加信号 V_{swext} によって、基準電圧印加回路 7 の出力電圧である基準電圧 V_{base} は、電源電圧 V_{dd} 、グランド電圧 V_{ss} 、外部印加電圧 V_{ppex} のいずれかの電圧となる。

また、抵抗回路 4 2 において、直列接続状態であるダイオード接続された P 型 MOS トランジスタが N 段 ($N \geq 1$) の場合、昇圧電圧 V_{ph} は、

($(N + 1) \cdot V_{ref} + V_{base}$) に設定されることから、基準電圧切替信号 V_{swbs} および外部電圧印加信号 V_{swext} によって、昇圧電圧 V_{ph} の電圧依存性は任意に設定される。

【 0 0 8 4 】

このように、第 2 の実施形態に係る電圧発生回路によれば、第 1 の実施形態と同様の効果を示すとともに、基準電圧切替信号 V_{swbs} および外部電圧印加信号 V_{swext} によって、基準電圧 V_{base} を電源電圧 V_{dd} 、グランド電圧 V_{ss} 、外部印加電圧 V_{pex} 等、切り替えることによって、昇圧電圧 V_{ph} を、

($(N + 1) \cdot V_{ref} + V_{dd} : N \geq 1$)

または、($(N + 1) \cdot V_{ref} + V_{ss} : N \geq 1$)

または、($(N + 1) \cdot V_{ref} + V_{pex} : N \geq 1$) など、任意に電圧依存性を切り替えることが可能である。

【 0 0 8 5 】

従って、不揮発性半導体記憶装置のようにデータ消去、データ書込み、およびデータ読出し等、動作モードおよび回路によって回路特性を最適にする昇圧電圧の電圧依存性が異なる場合、昇圧電圧の電圧依存性を必要に応じて切り替えて供給できるため、回路特性を向上することができる。

それとともに、複数の電圧依存性の昇圧電圧を切り替えて回路に供給できることから回路面積を削減することが可能である。

【 0 0 8 6 】

また、外部電圧印加信号 V_{swext} によって、外部印加電圧に依存し、かつ外部印加電圧 V_{pex} より高い電圧 ($(N + 1) \cdot V_{ref} + V_{pex} : N \geq 1$) を昇圧電圧 V_{ph} として発生させることができるため、不揮発性半導体記憶装置におけるメモリセルの特性の評価等、昇圧電圧相当の外部電圧を必要とした場合においても、パッドからは電源電圧相当の電圧を印加すればよい。高電圧印加時に発生するパッドや素子のサージ破壊をなくすことができる。

【 0 0 8 7 】

なお、第 2 の実施形態においては、基準電圧印加回路として、図 1 0 で示す基準電圧印加回路 7 について説明したが、これは一例であって、他の基準電圧印加回路を用いてもよい。

【 0 0 8 8 】

図 1 1 は、図 1 0 で示した基準電圧切替回路 7 1 をインバータ回路に、外部電圧印加回路 7 2 をトランスファークロウ回路 7 2 2、7 2 3 に、トランスファークロウを制御するインバータ回路 7 2 1 に置き換えた構成である基準電圧印加回路である。

【 0 0 8 9 】

また、図 1 2 は基準電圧切替信号 V_{swbs1} 、 V_{swbs2} を用いることで基準電圧 V_{base} として使用できる電圧を増やしている。

さらに、基準電圧 V_{base} として、電源電圧 V_{dd} 、グランド電圧 V_{ss} 、外部印加電圧 V_{ppex} の他に抵抗 1 1 7 と抵抗 1 1 8 の分圧回路 1 1 9 によって発生される基準電圧を加えている。

【 0 0 9 0 】

基準電圧切替回路 7 1 a は N 型 MOS トランジスタ 1 2 0、1 2 1、インバータ回路 1 2 3 および 1 2 4 によって構成されている。

なお、基準電圧 V_{base} は、前述の電源電圧 V_{dd} 、グランド電圧 V_{ss} 等の電圧を使用した場合と同様の動作が可能であれば、基準となる他の電圧を使用してもよい。

【 0 0 9 1 】

(第 3 の実施形態)

以下、本発明に係る第 3 の実施形態に係る電圧発生回路について図面を参照しながら説明する。図 1 3 は、第 3 の実施形態に係る電圧発生回路の構成を示すブロック図である。

【 0 0 9 2 】

なお、図 1 3 において、図 9 と同一符号を付した部分は、同一または相当する部分を示している。

第 3 の実施形態に係る電圧発生回路は、第 2 の実施形態に係る電圧発生回路に

において、設定電圧切替信号 V_{tn1} 、 V_{tn2} によって抵抗値を変えられる抵抗回路 9 2 を有し、カレントミラー回路 9 1 および制御電圧発生回路 9 3 を備えた電圧変動検知回路 9 を用いたリミッタ回路 3 b を備えたものである。

【0093】

図 1 4 は、第 3 の実施形態に係る電圧変動検知回路 9 の構成の一例を示す回路図である。図 1 4 において、9 1 は P 型 MOS トランジスタ 1 2 4、1 2 5、1 2 6 で構成されるカレントミラー回路、9 2 は P 型 MOS トランジスタ 1 2 7、1 2 8、1 2 9 の抵抗部とそれぞれの抵抗部を短絡する P 型 MOS トランジスタ 1 3 2、1 3 3 と、設定電圧切替信号に応じて昇圧電圧 V_{ph} とグランド電圧を切り替えて出力するレベルシフト回路 1 3 0、1 3 1 より構成される抵抗回路、9 3 はダイオード接続された P 型 MOS トランジスタ 1 3 4 より構成される制御電圧発生回路である。

【0094】

次に、第 3 の実施形態に係る電圧発生回路の動作について説明する。

ただし、電圧変動検知回路 9 以外の回路の動作は、電圧変動検知回路 4 が電圧変動検知回路 9 となった以外は、第 2 の実施形態と同様であるので、この部分の動作の説明は省略する。

【0095】

電圧変動検知回路 9 は、設定電圧切替信号 V_{tri1} または V_{tri2} によって、レベルシフト回路 1 3 0 および 1 3 1 は昇圧電圧 V_{ph} またはグランド電圧を出力し、それに応じて P 型 MOS トランジスタ 1 3 2 および 1 3 3 が導通状態あるいは非導通状態となる。

【0096】

これによって、設定電圧切替信号 V_{tri1} または V_{tri2} によって抵抗回路 9 2 のダイオード接続されたトランジスタの段数 N が切り替えられる。昇圧電圧 V_{ph} は、 $((N+1) \cdot V_{ref} + V_{base} : N \geq 1)$ で設定されるため、設定電圧切替信号 V_{tri1} または V_{tri2} によって任意の電圧依存性を保持したまま、昇圧電圧 V_{ph} を切り替えることができる。

【0097】

このように、第3の実施形態に係る電圧発生回路によれば、第2の実施形態と同様の効果を示しながら、設定電圧切替信号によって、任意の電圧依存性を保持したまま昇圧電圧 V_{ph} の電圧レベルを切り替えることができる。

従って、それぞれの電圧依存性を持つ昇圧電圧 V_{ph} に対して、同一の回路を用いて複数の電圧レベルの昇圧電圧 V_{ph} を生成することが可能であるため、回路面積を削減することができる。

【0098】

なお、第3の実施形態においては、電圧変動検知回路9について説明したが、これは一例であって、他の電圧変動検知回路を用いてもよい。

【0099】

図15、図16は、電圧変動検知回路の構成の他の例を示す回路図である。図15は、図14で示したP型MOSトランジスタ127、128、129、および134をそれぞれ抵抗135、136、137、138に置き換えた構成である電圧変動検知回路9aであり、これによって図14で示した電圧変動検知回路9と同様の動作が得られる。

【0100】

図16は、図14で示したP型MOSトランジスタ127、128、129、および134をそれぞれ抵抗135、136、137、138に置き換え、さらに設定電圧切替信号 V_{tri3} 、レベルシフト回路139、P型MOSトランジスタ140、バッファ回路141を設けた電圧変動検知回路9bである。

【0101】

図16の電圧変動検知回路9bの動作を説明する。設定電圧切替信号 V_{tri1} および V_{tri2} における電圧変動検知回路9bの動作は、図14で示した電圧変動検知回路9と同様であるので説明を省略する。

【0102】

P型MOSトランジスタ140が非導通状態のとき、P型MOSトランジスタ126のゲートにはバッファ回路141によって抵抗135と抵抗136間の電圧が印加されている。次に設定電圧切替信号 V_{tri3} によってP型MOSトランジスタ140が導通状態となった場合、抵抗135と抵抗136間の電圧がP型M

OSトランジスタ124のドレイン電圧と同じ電圧になる。

【0103】

一方、バッファ回路によってP型MOSトランジスタ126のゲートにはグラウンド電圧が印加されることで、P型MOSトランジスタ125は飽和状態で駆動することが可能となり、昇圧電圧 V_{ph} が $(V_{ref} + V_{base})$ の場合においても高精度の昇圧電圧 V_{ph} を得ることが可能となる。

【0104】

電圧変動検知回路9bにおいて、設定電圧切替信号によって、設定される昇圧電圧 V_{ph} が $((N + 1) \cdot V_{ref} + V_{base} : N \geq 1)$ の時と $(V_{ref} + V_{base})$ の時に、電圧変動検知回路内のカレントミラー回路に使用されているドレイン電圧の変動を抑制するP型MOSトランジスタのゲート電圧を切り替えることで、昇圧電圧 V_{ph} が $((N + 1) \cdot V_{ref} + V_{base} : N \geq 1)$ の時でも $(V_{ref} + V_{base})$ の時でも、高精度の昇圧電圧 V_{ph} を得ることが可能となり、昇圧電圧 V_{ph} の設定電圧の幅を広げることが可能となる。

【0105】

(第4の実施形態)

以下、本発明に係る第4の実施形態に係る電圧発生回路について、図面を参照しながら説明する。図17は、第4の実施形態に係る電圧発生回路の構成を示すブロック図である。

なお、図17において図13と同一符号を付した部分は、同一または相当する部分を示している。

【0106】

第4の実施形態に係る電圧発生回路は、前述の第3の実施形態に係る電圧発生回路において、クランプ回路62をレベルシフト回路12に置き換えたレギュレータ10を備えたものである。

図17において、10はレギュレータ回路、11は制御回路、12は差動増幅回路61の出力電圧 V_a に応じて昇圧回路1の昇圧電圧 V_{ph} をレベルシフトして出力電圧 V_{ph} を出力するレベルシフト回路である。

【0107】

図 1 8 は第 4 の実施形態の制御回路 1 1 の構成の一例である。制御回路 1 1 は差動増幅回路 6 1 とレベルシフト回路 1 2 から構成され、1 4 2 および 1 4 3 はカレントミラー回路を構成している P 型 MOS トランジスタ、1 4 4 は差動増幅回路 6 1 の出力電圧 V_a に応じて、ドレイン電流が決められる N 型 MOS トランジスタである。

【0108】

次に、第 4 の実施形態に係る電圧発生回路の動作について説明する。なお、制御回路 1 1 以外の回路の動作は、電圧変動検知回路 9 の昇圧電圧 V_{ph} による駆動からレベルシフト回路 1 2 の出力電圧 V_{pl} による駆動となったこと以外は、第 3 の実施形態と同様であり、説明を省略する。

【0109】

図 1 8 に示すように、電源電圧 V_{dd} が供給されて駆動する差動増幅回路 6 1 の出力電圧 V_a によって、N 型 MOS トランジスタ 1 4 4 のドレイン電流が流れる。それによって、P 型 MOS トランジスタ 1 4 2 のゲート電圧が調整されて、P 型 MOS トランジスタ 1 4 3 のドレイン電流が変動し、昇圧電圧 V_{ph} よりレベルシフトした出力電圧 V_{pl} を所望の電圧にする。レベルシフトした出力電圧 V_{pl} は、電圧変動検知回路 9 より抵抗回路 9 2 のダイオード接続の段数を N とすると $((N + 1) \cdot V_{ref} + V_{base})$ によって設定され、 V_{base} は任意の基準電圧である。

なお、制御回路 1 1 は、同じ動作を行う回路であれば、他の制御回路でもよい。

【0110】

図 1 9 および図 2 0 は、制御回路の他の例を示す図である。

図 1 9 は、図 1 8 で示した P 型 MOS トランジスタ 1 4 2 を、ゲートがグランドに接続された P 型 MOS トランジスタ 1 4 5 に置き換えた制御回路 1 1 a であり、図 1 8 の制御回路 1 1 と同様の動作を実現することができる。

また、図 2 0 は、図 1 8 のレベルシフト回路 1 2 を P 型 MOS トランジスタ 1 4 6 のみで構成したレベルシフト回路 1 2 b であり、昇圧電圧 V_{ph} が供給されて駆動する差動増幅回路 6 1 b の出力電圧 V_a によってドレイン電流を調整して、レベルシフト回路 1 2 b の出力に所望の電圧 V_{pl} を出力する制御回路 1 1 b であり、

図 1 8 の制御回路 1 1 と同様の動作を実現することができる。

なお、図 1 8 と同じ動作を実現することができる回路であれば、回路構成は前述の図 1 8、図 1 9、図 2 0 の構成以外のものでもよい。

【0 1 1 1】

(第 5 の実施形態)

以下、本発明に係る第 5 の実施形態に係る電圧発生回路について、図面を参照しながら説明する。図 2 1 は、第 5 の実施形態に係る電圧発生回路の構成を示すブロック図である。

【0 1 1 2】

なお、図 2 1 において、図 1 3 と同一符号を付した部分は、同一または相当する部分を示している。

図 2 1 において、1 3 は電源電圧 V_{dd} によって駆動し、グランド電圧より低い電圧を発生させる負昇圧回路、1 4 は負のリミッタ回路、1 5 は電圧変動検知回路、1 6 はカレントミラー回路、1 7 は抵抗回路、1 9 は基準電圧発生回路、2 0 は制御回路、2 1 はクランプ回路である。

【0 1 1 3】

次に、第 5 の実施形態に係る電圧発生回路の動作について説明する。負昇圧回路 1 3 がグランド電圧より低い電圧を発生させると、基準電圧 V_{base} と負昇圧電圧 V_{nh} 間に電位差 ($V_{base} - V_{nh}$) が発生する。電位差 ($V_{base} - V_{nh}$) はカレントミラー回路 1 6 および抵抗回路 1 7 によって電流変換され、抵抗回路 1 7 に流れる電流に相当する参照電流がカレントミラー回路 1 6 によって生成され、制御電圧発生回路 1 8 に流れることでグランド電圧基準である制御電圧 V_{fd} が発生する。予め発生された参照電圧 V_{ref} と制御電圧 V_{fd} を差動増幅回路 6 1 で比較することで、クランプ回路 2 1 を制御し、負昇圧電圧 V_{nh} を所望の電圧に設定する。

【0 1 1 4】

図 2 2 は、第 5 の実施形態に係る電圧発生回路の電圧変動検知回路 1 5 の構成の一例を示す回路図である。1 4 6、1 4 7、1 4 9、1 5 0、1 5 1、1 5 6 はそれぞれ P 型 MOS トランジスタで構成されている。仮に P 型 MOS トランジスタ 1 4 6、1 4 7、1 4 9、1 5 0、1 5 1、1 5 6 のトランジスタサイズが

同じであるとする。

【0115】

電圧変動検知回路15において、148はP型MOSトランジスタ147のドレイン電圧の変動を抑制するP型MOSトランジスタ、152、153は各々ダイオード接続されたP型MOSトランジスタ150、151を短絡するN型MOSトランジスタ、154、155は設定電圧切替信号に応じて電源電圧と負昇圧電圧 V_{nh} を切り替えて出力するレベルシフト回路である。

【0116】

基準電圧 V_{base} と負昇圧電圧 V_{nh} 間に発生した電位差 ($V_{base}-V_{nh}$) は、P型MOSトランジスタ146、149、150、151に分圧され、各々に分圧された電圧 V_{gs} は ($V_{base}-V_{nh}$) / (4 段のダイオード接続) となる。 V_{gs} に相当する電流がカレントミラー回路16によってP型MOSトランジスタ156に流れてグランド電圧基準である制御電圧 V_{fd} ($=V_{gs}$) を発生する。

【0117】

予め発生した参照電圧 V_{ref} と制御電圧 V_{fd} を差動増幅回路61で比較してクランプ回路21を制御することで、負昇圧電圧 V_{nh} を所望の電圧に設定する。これによって、 $V_{ref}=V_{fd}$ となることから、

$V_{ref} = ((V_{base}-V_{nh}) / (4 \text{ 段のダイオード接続}))$ が成立し、負昇圧電圧 V_{nh} は ($(V_{base}-4 \text{ 段のダイオード接続}) \cdot V_{ref}$) の電圧に設定される。

従って、抵抗回路17においてダイオード接続された直列接続のP型MOSトランジスタがN段 ($N \geq 1$) の場合、負昇圧電圧 V_{nh} は、

$(V_{base} - (N + 1) \cdot V_{ref})$ に設定される。

【0118】

また、設定電圧切替信号 V_{tri1} および V_{tri2} を設定することで、P型MOSトランジスタ150あるいは151のドレイン-ソース間を短絡することができ、任意の基準電圧 V_{base} に依存せずに負昇圧電圧 V_{nh} の電圧レベルを切り替えることができる。

【0119】

図23は、第5の実施形態に係る電圧発生回路の制御回路20の構成の一例を

示す回路図である。

図 2 3 において、1 5 7 は差動増幅回路 6 1 の出力電圧 V_a に応じたドレイン電流を流す P 型 MOS トランジスタ、1 5 8 は P 型 MOS トランジスタ 1 5 7 のドレイン電流に応じた V_{gs} を発生させる N 型 MOS トランジスタ、1 5 9 は N 型 MOS トランジスタ 1 5 8 の V_{gs} が印加されることで負昇圧電圧 V_{nh} をグランド電圧へ引き抜く作用をする N 型 MOS トランジスタである。

【 0 1 2 0 】

予め発生された参照電圧 V_{ref} と制御電圧 V_{fd} とが電源電圧駆動の差動増幅回路 6 1 によって比較され、差動増幅回路 6 1 の出力電圧 V_a に応じたドレイン電流を P 型 MOS トランジスタ 1 5 7 が流すことで、N 型 MOS トランジスタ 1 5 9 によって、負昇圧電圧 V_{nh} からグランド電圧に引き抜く電流量が調整され、負昇圧電圧 V_{nh} を所望の電圧に設定する。

【 0 1 2 1 】

なお、第 5 の実施形態の制御回路は、同様の動作を実現できる回路であれば他の制御回路でもよい。

【 0 1 2 2 】

図 2 4 は制御回路の他の一例である。図 2 4 は、図 2 3 の電源電圧が供給されて駆動する差動増幅回路 6 1 を電源電圧 V_{dd} と負昇圧電圧 V_{nh} が供給され、制御電圧 V_{fd} と参照電圧 V_{ref} を比較する差動増幅回路 6 1 b に、クランプ回路 2 1 を N 型 MOS トランジスタ 1 6 0 で構成されるクランプ回路 2 1 b に置き換えて構成され、これによっても図 2 3 と同様の負昇圧電圧 V_{nh} を得ることが可能である。また、図 2 5 は第 5 の実施形態の基準電圧印加回路 1 9 である。

【 0 1 2 3 】

図 1 9 において、基準電圧切替信号 V_{swbs1} 、 V_{swbs2} を切り替えて N 型 MOS トランジスタ 1 2 0、1 2 1 およびインバータ回路 1 2 3 および 1 2 4 を制御することで、基準電圧 V_{base} として、電源電圧 V_{dd} 、参照電圧 V_{ref} 、および抵抗 1 1 7 と抵抗 1 1 8 の分圧回路 1 1 9 によって発生される基準電圧を切り替えている。参照電圧 V_{ref} は低インピーダンスで出力するために、ボルテージフォロワー回路 1 6 1 を介して印加している。

【 0 1 2 4 】

また、外部印加電圧切替信号によって、トランスファークラーク回路 7 2 2、7 2 3 に、トランスファークラークを制御するインバータ回路 7 2 1 を制御して上記基準電圧と外部印加電圧 V_{ppex} を切り替えている。これによって複数の電圧依存性を持った負昇圧電圧 V_{nh} を得ることができる。

なお、基準電圧 V_{base} は、同様の動作が可能な他の基準電圧を使用することも可能である。

【 0 1 2 5 】

このように、第 5 の実施形態に係る電圧発生回路によれば、カレントミラー回路 1 4 6 と抵抗回路 1 7 と制御電圧発生回路 1 8 を有する電圧変動検知回路 1 5 を備えることで、任意の基準電圧 V_{base} に依存した高精度な負昇圧電圧 V_{nh} ($= V_{base} - (N + 1) \cdot V_{ref}$: $N \geq 1$) を得ることができる。

また、電圧変動検知回路によって定常的に負昇圧電圧 V_{nh} が消費される電流パスを削減することによって、負昇圧電圧 V_{nh} の消費電流を削減することができる。

【 0 1 2 6 】

(第 6 の実施形態)

以下、本発明に係る第 6 の実施形態に係る電圧発生回路について、図面を参照しながら説明する。図 2 6 は、第 6 の実施形態に係る電圧発生回路の構成を示すブロック図である。

【 0 1 2 7 】

なお、図 2 6 において、図 2 1 と同一符号を付した部分は、同一または相当する部分を示している。

第 6 の実施形態に係る電圧発生回路は、前述の第 5 の実施形態に係る電圧発生回路において、クランプ回路 2 1 をレベルシフト回路 2 4 に置き換えた負のレギュレータを備えた電圧発生回路である。

【 0 1 2 8 】

図 2 6 において、2 2 は負のレギュレータ回路、2 3 は制御回路、2 4 は差動増幅回路 6 1 の出力電圧 V_a に応じて負昇圧回路 1 3 の負昇圧電圧 V_{nh} をレベルシ

フトして出力電圧 V_{nh} を出力するレベルシフト回路である。

【0129】

図27は、本発明に係る第6の実施形態の制御回路23の構成の一例である。制御回路23は、差動増幅回路61とレベルシフト回路24から構成され、162は差動増幅回路の出力電圧 V_a によって制御され、ドレイン電流を決定するP型MOSトランジスタ、163はP型MOSトランジスタ162のドレイン電流によって V_{gs} を発生させるN型MOSトランジスタ、164はN型MOSトランジスタ163のゲート電圧が印加されることでドレイン電流を調整して、レベルシフト回路の出力電圧 V_{nl} を所望の電圧レベルに設定する。

【0130】

次に、第6の実施形態に係る電圧発生回路の動作について説明する。

なお、制御回路23以外の構成にかかる動作は、電圧変動検知回路15の負昇圧電圧 V_{nh} による駆動からレベルシフト回路24の出力電圧 V_{nl} による駆動となったこと以外は、第5の実施形態と同様であり、説明を省略する。

【0131】

図27に示されているように、電源電圧 V_{dd} およびグランド電圧 V_{ss} が供給されて駆動する差動増幅回路61の出力電圧 V_a によって、P型MOSトランジスタ162のドレイン電流が流れる。それによって、N型MOSトランジスタ163のゲート電圧が調整されて、N型MOSトランジスタ164のドレイン電流が変動し、負昇圧電圧 V_{nh} よりレベルシフトした出力電圧 V_{nl} を所望の電圧にする。

レベルシフトした出力電圧 V_{nl} は、電圧変動検知回路15より抵抗回路17のダイオード接続の段数を N とすると ($=V_{base} - (N + 1) \cdot V_{ref} : N \geq 1$) によって設定される。 V_{base} は任意の基準電圧である。

【0132】

なお、図27においては、制御回路23を用いた一例を説明したが、同じ動作を行う回路であれば、他の制御回路でもよい。

【0133】

図28は、制御回路の他の一例である。図28は図27において負昇圧電圧 V_{nh} が供給されて駆動する差動増幅回路61bの出力電圧 V_a によってN型MOSト

ランジスタのドレイン電流を調整して、レベルシフト回路 2 4 b の出力に所望の電圧 V_{nl} を出力する制御回路 2 3 b であり、図 2 7 の制御回路 2 3 と同様の動作を実現することができる。

なお、図 2 7 の制御回路 2 3 と同じ動作を実現することができる回路であれば、回路構成は上記構成でなくてもよい。

【 0 1 3 4 】

(第 7 の実施形態)

以下、本発明に係る第 7 の実施形態に係る電圧発生回路について図面を参照しながら説明する。

図 2 9 は、第 7 の実施形態に係る電圧発生回路の構成を示すブロック図である。図 2 9 において、1 は電源電圧以上の電圧を発生させる昇圧回路、2 は電源電圧より参照電圧を発生させる参照電圧発生回路、3 b はリミッタ回路、6 は制御回路、6 1 は制御電圧と参照電圧 V_{ref} を比較する差動増幅回路、6 2 は差動増幅回路の出力電圧によって、昇圧電圧 V_{ph} を所望の電圧に設定するクランプ回路、7 は基準電圧印加回路、8 は外部電圧を印加するパッド、9 は電圧変動検知回路、9 1 はカレントミラー回路、9 2 は抵抗回路、9 3 は制御電圧発生回路、1 3 はグランド電圧より低い電圧を発生させる負昇圧回路、1 5 は電圧変動検知回路、1 6 は、カレントミラー回路、1 7 は抵抗回路、1 8 は制御電圧発生回路、1 9 は基準電圧発生回路、2 0 は制御回路、2 1 はクランプ回路である。

なお、図 1 3 および図 2 1 と同一符号を付した部分は、同一または相当する部分を示しており、説明を省略する。

【 0 1 3 5 】

次に、本発明に係る第 7 の実施形態に係る電圧発生回路の動作について説明する。参照電圧回路 2 によって予め参照電圧 V_{ref} が発生され、リミッタ回路 3 b と負のリミッタ回路 1 4 は、参照電圧 V_{ref} をもとに電源電圧 V_{dd} あるいは外部印加電圧 V_{ppex} 等、任意の基準電圧 V_{base} に依存した昇圧電圧 V_{ph} 、負昇圧電圧 V_{nh} を生成する。上記以外の電圧発生回路の駆動は、第 3 の実施形態および第 5 の実施形態と同じであり、説明を省略する。

【 0 1 3 6 】

このように、本発明に係る第 7 の実施形態に係る電圧発生回路によれば、第 3 の実施形態および 5 と同様の効果を持つ回路を 1 つの基板上に備えることができ、共に参照電圧 V_{ref} によって動作するため、1 つの参照電圧発生回路によってリミッタ回路および負のリミッタ回路を駆動することが可能であり、参照電圧発生回路を別々に備えた場合に比べて回路面積を削減することができる。

【 0 1 3 7 】

また、外部印加電圧に依存した電圧を必要とする際、リミッタ回路および負のリミッタ回路共に電源電圧相当の外部印加電圧 V_{ppex} を印加することで、外部印加電圧 V_{ppex} に依存した昇圧電圧 V_{ph} 、負昇圧電圧 V_{nh} を発生させることができるため、負のパッドを削減することができ、電圧発生回路の面積を削減することができる。

【 0 1 3 8 】

(第 8 の実施形態)

以下、本発明に係る第 8 の実施形態に係る電圧発生回路について図面を参照しながら説明する。図 3 0 は、第 8 の実施形態に係る電圧発生回路の構成を示すブロック図である。

【 0 1 3 9 】

図 3 0 において、1 は電源電圧以上の電圧を発生させる昇圧回路、2 は電源電圧より参照電圧を発生させる参照電圧発生回路、3 b はリミッタ回路、6 は制御回路、6 1 は制御電圧と参照電圧 V_{ref} を比較する差動増幅回路、6 2 は差動増幅回路の出力電圧によって、昇圧電圧 V_{ph} を所望の電圧に設定するクランプ回路、7 は基準電圧印加回路、8 は外部電圧を印加するパッド、9 は電圧変動検知回路、9 1 はカレントミラー回路、9 2 は抵抗回路、9 3 は制御電圧発生回路、1 3 はグランド電圧より低い電圧を発生させる負昇圧回路、1 5 は電圧変動検知回路、1 6 はカレントミラー回路、1 7 は抵抗回路、1 8 は制御電圧発生回路、1 9 は基準電圧発生回路、2 0 は制御回路、2 1 はクランプ回路、1 5 a は電圧変動検知回路、1 6 a はカレントミラー回路、1 7 a は抵抗回路、1 8 a は制御電圧発生回路、1 9 a は基準電圧発生回路、6 1 d は差動増幅回路、2 5 は電源電圧-グランド間電圧出力レギュレータ回路、2 1 はクランプ回路、2 6 はレベルシフ

ト回路である。

なお、図 1 3 および図 2 1 と同一符号を付した部分は、同一または相当する部分を示しており、説明を省略する。

【0 1 4 0】

次に、本発明に係る第 8 の実施形態に係る電圧発生回路の動作について説明する。

電源電圧－グランド間電圧出力レギュレータ回路 2 5 は、図 2 6 の負のレギュレータ回路 2 2 のレベルシフト回路 2 4 の入力電圧を負昇圧回路の出力電圧 V_{nh} からグランド電圧に変更した構成であり、基準電圧印加回路によって切り替えられる基準電圧 V_{base} に依存した電源電圧－グランド間電圧を出力することが可能な回路であり、動作の詳細な説明を省略する。

【0 1 4 1】

参照電圧回路 2 によって予め参照電圧 V_{ref} が発生され、リミッタ回路 3 b と負のリミッタ回路 1 4 およびレギュレータ回路 2 5 は、参照電圧 V_{ref} をもとに電源電圧 V_{dd} あるいは外部印加電圧 V_{ppex} 等、任意の基準電圧 V_{base} に依存した昇圧電圧 V_{ph} 、負昇圧電圧 V_{nh} を生成する。上記以外の電圧発生回路の駆動は、第 3 の実施形態および第 5 の実施形態と同様であり、説明を省略する。

【0 1 4 2】

このように、第 8 の実施形態に係る電圧発生回路によれば、任意の基準電圧 V_{base} に依存した昇圧電圧、負昇圧電圧、および電源電圧－グランド電圧間の電圧全てを 1 つの参照電圧発生回路によって発生させることが可能であり、参照電圧発生回路を別々に備えた場合に比べて回路面積を削減することができる。

【0 1 4 3】

【発明の効果】

以上詳述したように、本発明によれば、リミッタ回路およびレギュレータ回路の構成要素として、カレントミラー回路と抵抗回路と制御電圧発生回路を有する電圧変動検知回路を設けて、昇圧電圧 V_{ph} より制御電圧 V_{fd} を発生させて、参照電圧 V_{ref} と比較することで、電源電圧 V_{dd} に依存した高精度な正の昇圧電圧 V_{ph} を得ることができる。

【 0 1 4 4 】

また、リミッタ回路およびレギュレータ回路の構成要素として、電源電圧Vddによって駆動する差動増幅回路を備えることで、昇圧電圧Vphより消費する電流を削減することができるため、昇圧回路による電源電圧Vddの無駄な消費を削減することが可能となる。

【 0 1 4 5 】

また、リミッタ回路およびレギュレータ回路の構成要素である電圧変動検知回路において、カレントミラー回路の電流参照を行うP型MOSトランジスタと直列に接続されているP型MOSトランジスタのゲートに抵抗回路の任意の端子電圧を印加することで、電流参照を行うP型MOSトランジスタのドレイン電圧の変動を抑えることができるため、昇圧電圧Vphの電圧レベルに依存せず、電源電圧Vddを基準とした高精度な昇圧電圧Vphを得ることができる。

【 0 1 4 6 】

また、設定電圧切替信号によって設定される昇圧電圧Vphが $((N+1) \cdot V_{ref} + V_{base} : N \geq 1)$ の時と $(V_{ref} + V_{base})$ の時によって、電圧変動検知回路内のカレントミラー回路に使用されているドレイン電圧の変動を抑制するP型MOSトランジスタのゲート電圧を切り替えることで、昇圧電圧Vphが $((N+1) \cdot V_{ref} + V_{base} : N \geq 1)$ の時でも $(V_{ref} + V_{base})$ の時でも、高精度の昇圧電圧Vphを得ることが可能となり、昇圧電圧Vphの設定電圧の幅を広げることが可能となる。

【 0 1 4 7 】

また、基準電圧切替信号Vswbsによって、昇圧電圧Vphの電圧依存性を、電源電圧依存 $((N+1) \cdot V_{ref} + V_{dd} : N \geq 1)$ 、グランド電圧依存 $((N+1) \cdot V_{ref} + V_{ss} : N \geq 1)$ 等、任意に切り替えることが可能である。

【 0 1 4 8 】

従って、不揮発性半導体記憶装置のようにデータ消去、データ書込み、およびデータ読出し等、動作モードおよび回路によって回路特性を最適にする昇圧電圧Vphの電圧依存性が異なる場合、昇圧電圧Vphの電圧依存性を必要に応じて切り替

えて供給できるため、回路特性を向上することができる。

【 0 1 4 9 】

また、同一回路によって複数の電圧依存性の昇圧電圧 V_{ph} を切り替えて回路に供給できることから回路面積を削減することが可能である。

【 0 1 5 0 】

また、外部電圧印加信号 V_{swext} によって、外部印加電圧に依存し、かつ外部印加電圧 V_{ppex} より高い電圧 ($(N + 1) \cdot V_{ref} + V_{ppex}$: $N \geq 1$) を昇圧電圧 V_{ph} として発生させることができる。

【 0 1 5 1 】

従って、不揮発性半導体記憶装置におけるメモリセルの特性の評価時等、昇圧電圧相当の外部電圧を必要とする場合においても、パッドからは電源電圧相当の電圧を印加すればよいため、高電圧印加時に発生するパッドや素子のサージ破壊をなくすことができる。

【 0 1 5 2 】

また、複数の電圧依存性を切り替えて出力する際、各電圧依存性を持った昇圧電圧の電圧レベルを切り替える際に、同一の回路を用いて各電圧依存性の昇圧電圧 V_{ph} の電圧レベルを設定できるため、回路面積を削減することができる。

【 0 1 5 3 】

また、負のリミッタ回路、および負のレギュレータ回路において、カレントミラー回路と抵抗回路と制御電圧発生回路を有する電圧変動検知回路を備えることで、任意の基準電圧 V_{base} に依存した高精度な負昇圧電圧 V_{nh}

($=V_{base} - (N + 1) \cdot V_{ref}$: $N \geq 1$) を得ることができる。

【 0 1 5 4 】

また、負のリミッタ回路、および負のレギュレータ回路において、電圧変動検知回路によって定常的に負昇圧電圧 V_{nh} が消費される電流パスを削減することによって、負昇圧電圧 V_{nh} の消費電流を削減することができる。

【 0 1 5 5 】

また、リミッタ回路および負のリミッタ回路を1つの基板上に備えることができ、共に参照電圧 V_{ref} によって動作するため、1つの参照電圧発生回路によって

リミッタ回路および負のリミッタ回路を駆動することが可能であり、参照電圧発生回路を別々に備えた場合に比べて回路面積を削減することができる。

【0156】

また、リミッタ回路および負のリミッタ回路を1つの基板上に備えた場合、外部印加電圧に依存した電圧を必要とする際、リミッタ回路および負のリミッタ回路共に電源電圧相当の外部印加電圧 V_{ppex} を印加することで、外部印加電圧 V_{ppex} に依存した昇圧電圧 V_{ph} 、負昇圧電圧 V_{nh} を発生させることができるため、負のパッドを削減することができ、電圧発生回路の面積を削減することができる。

【0157】

また、電源電圧とグランド電圧間の電圧を降圧して発生させるレギュレータ回路において、カレントミラー回路と抵抗回路と制御電圧発生回路を有する電圧変動検知回路を備えることで、任意の基準電圧 V_{base} に依存した高精度な降圧電圧 $V_{dm} (= V_{base} - (N + 1) \cdot V_{ref} : N \geq 1)$ を得ることができる。

【0158】

また、カレントミラー回路、抵抗回路および制御電圧発生回路を備えた電圧変動検知回路を持つ昇圧電圧を生成するリミッタ回路、負昇圧電圧を生成する負のリミッタ回路、および電源電圧とグランド間の電圧を発生させるレギュレータ回路において、1つの参照電圧によって任意の基準電圧 V_{base} に依存した昇圧電圧、負昇圧電圧、および電源電圧ーグランド電圧間の降圧電圧全てを発生させることが可能であり、参照電圧発生回路を別々に備えた場合に比べて回路面積を削減することができる。

【図面の簡単な説明】

【図1】

本発明に係る第1の実施形態におけるリミッタ回路である。

【図2】

本発明に係る第1の実施形態における電圧変動検知回路である。

【図3】

本発明に係る第1の実施形態における制御回路である。

【図4】

本発明に係る第 1 の実施形態における電圧変動検知回路である。

【図 5】

本発明に係る第 1 の実施形態における他の電圧変動検知回路（その 1）である

【図 6】

本発明に係る第 1 の実施形態における他の電圧変動検知回路（その 2）である

【図 7】

本発明に係る第 1 の実施形態における他の制御回路（その 1）である。

【図 8】

本発明に係る第 1 の実施形態における他の制御回路（その 2）である。

【図 9】

本発明に係る第 2 の実施形態におけるリミッタ回路である。

【図 1 0】

本発明に係る第 2 の実施形態における基準電圧印加回路である。

【図 1 1】

本発明に係る第 2 の実施形態における他の基準電圧印加回路（その 1）である

【図 1 2】

本発明に係る第 2 の実施形態における他の基準電圧印加回路（その 2）である

【図 1 3】

本発明に係る第 3 の実施形態におけるリミッタ回路である。

【図 1 4】

本発明に係る第 3 の実施形態における電圧変動検知回路である。

【図 1 5】

本発明に係る第 3 の実施形態における他の電圧変動検知回路（その 1）である

【図 1 6】

本発明に係る第 3 の実施形態における他の電圧変動検知回路（その 2）である。

【図 1 7】

本発明に係る第 4 の実施形態における電圧発生回路である。

【図 1 8】

本発明に係る第 4 の実施形態における制御回路である。

【図 1 9】

本発明に係る第 4 の実施形態における他の制御回路（その 1）である。

【図 2 0】

本発明に係る第 4 の実施形態における他の制御回路（その 2）である。

【図 2 1】

本発明に係る第 5 の実施形態における負のリミッタ回路である。

【図 2 2】

本発明に係る第 5 の実施形態における電圧変動検知回路である。

【図 2 3】

本発明に係る第 5 の実施形態における制御回路である。

【図 2 4】

本発明に係る第 5 の実施形態における他の制御回路である。

【図 2 5】

本発明に係る第 5 の実施形態における基準電圧印加回路である。

【図 2 6】

本発明に係る第 6 の実施形態における負のレギュレータ回路である。

【図 2 7】

本発明に係る第 6 の実施形態における制御回路である。

【図 2 8】

本発明に係る第 6 の実施形態における他の制御回路である。

【図 2 9】

第 7 の実施形態に係る電圧発生回路の構成を示すブロック図である。

【図 3 0】

第 8 の実施形態に係る電圧発生回路の構成を示すブロック図である。

【図 3 1】

従来の電圧発生回路の構成を示すブロック図である。

【図 3 2】

従来の電圧発生回路の昇圧電圧 V_{ph} 、参照電圧 V_{ref} 、レベルシフトした電圧 V_{pl} の電源電圧特性を示すグラフである。

【図 3 3】

フラッシュメモリセルの構成を示す回路図である。

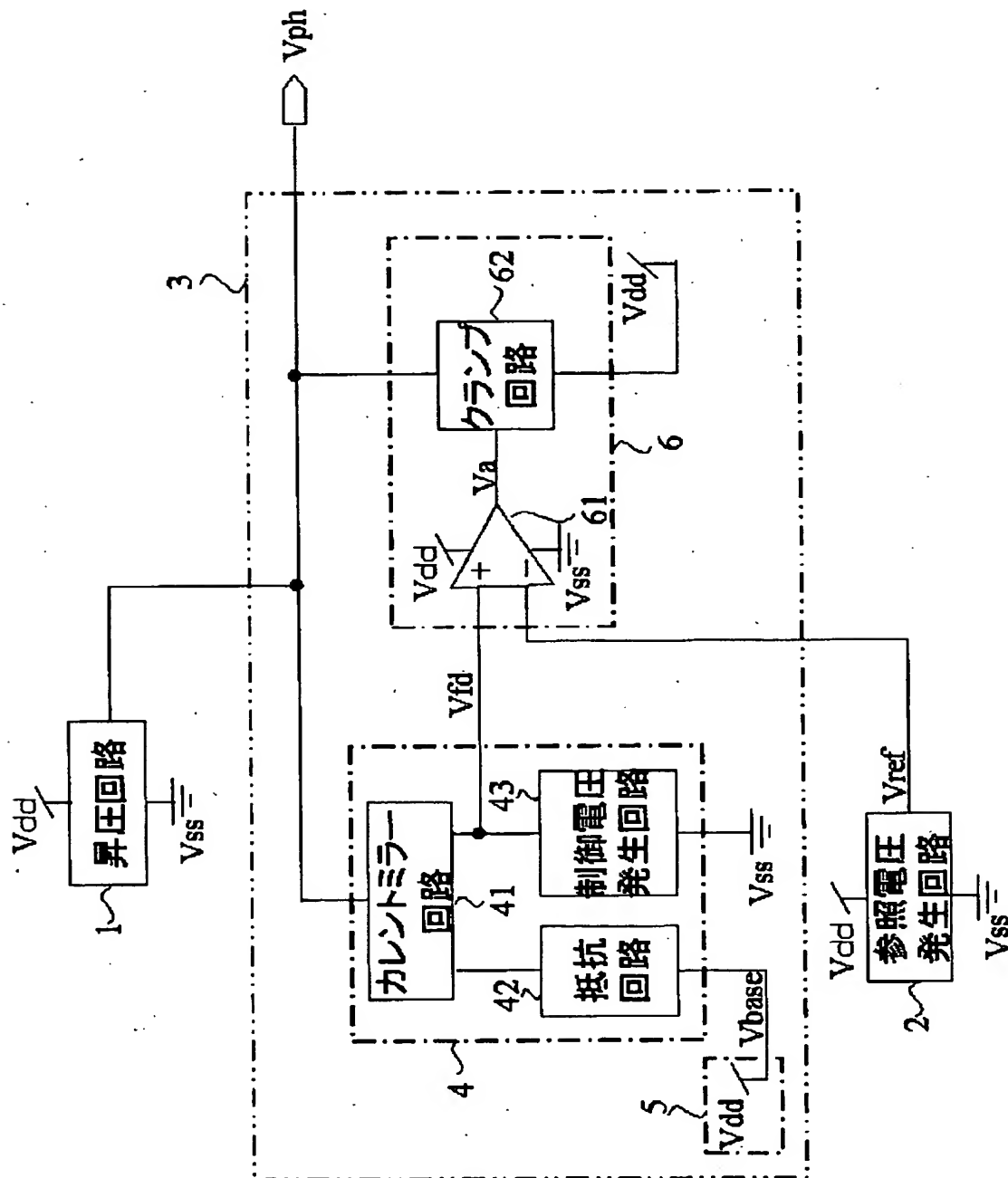
【符号の説明】

- 1 昇圧回路
- 2 参照電圧発生回路
- 3、3 a、3 b リミッタ回路
- 1 0 レギュレータ回路
- 1 4 負のリミッタ回路
- 2 2 負のレギュレータ回路

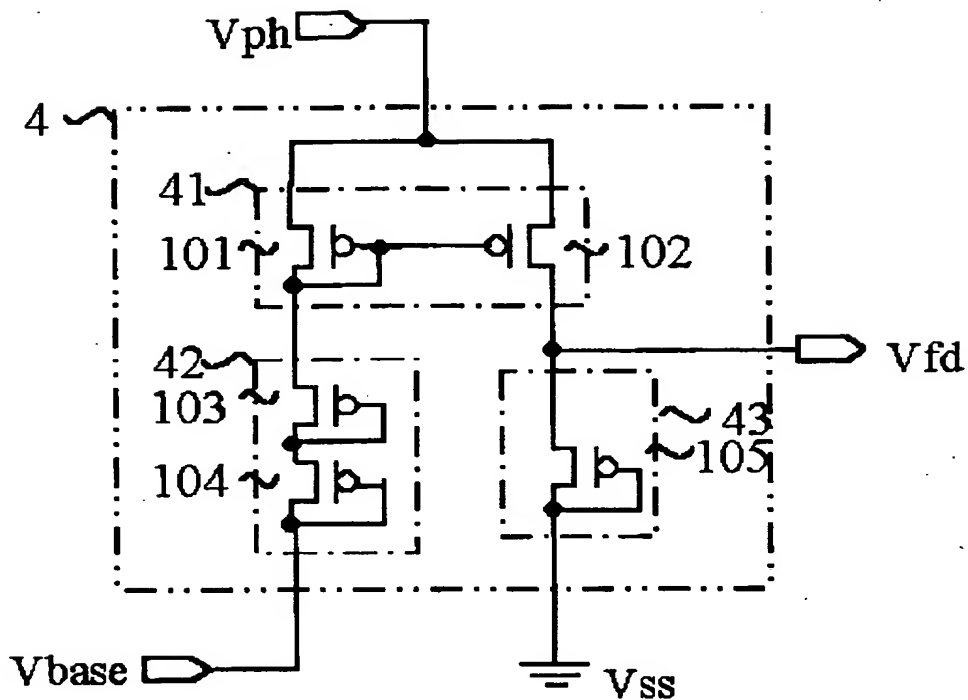
【書類名】

凶面

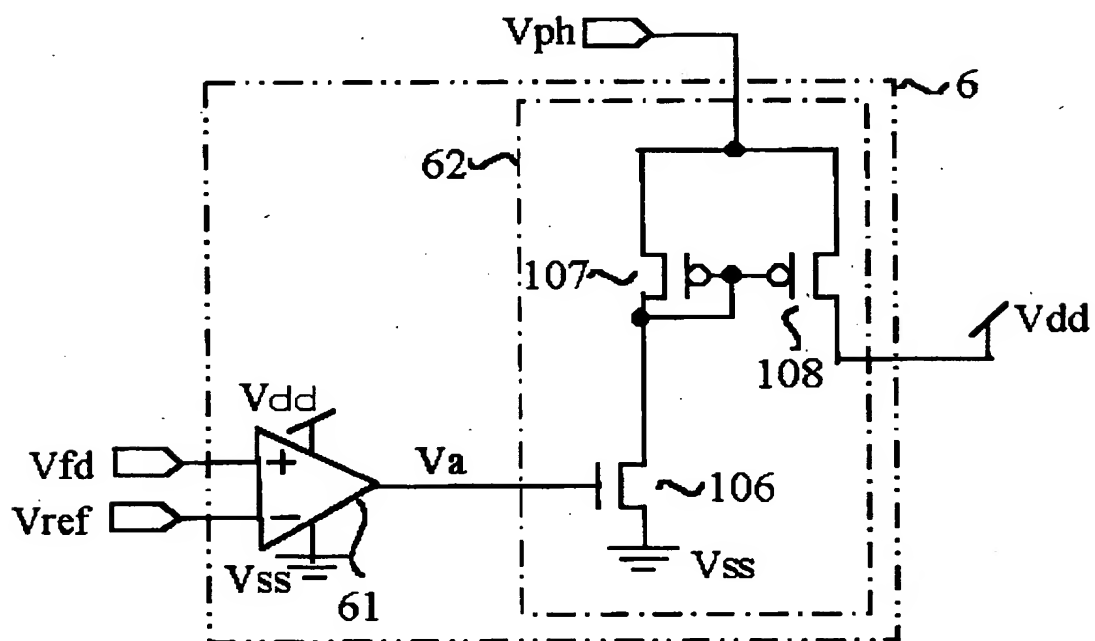
【図 1】



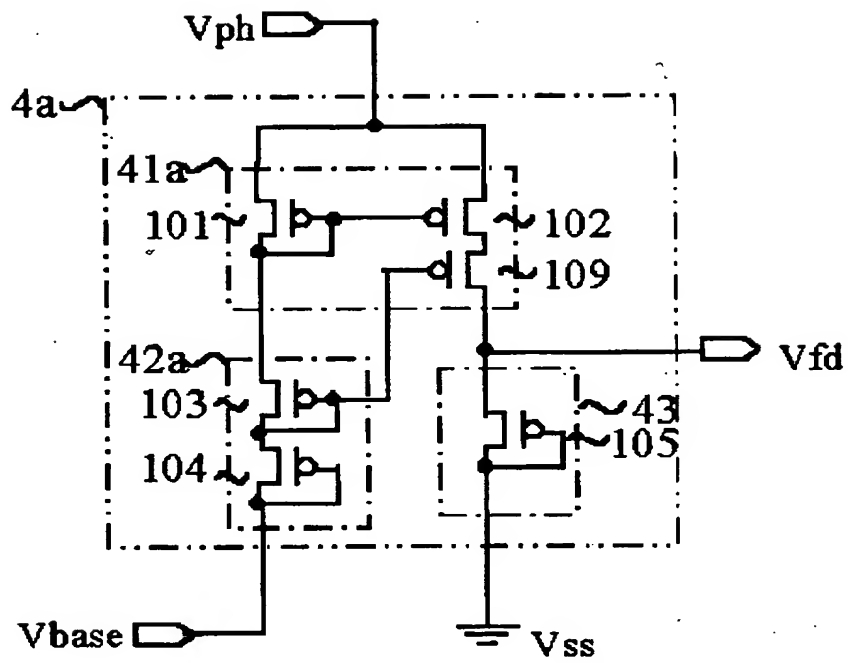
【図 2】



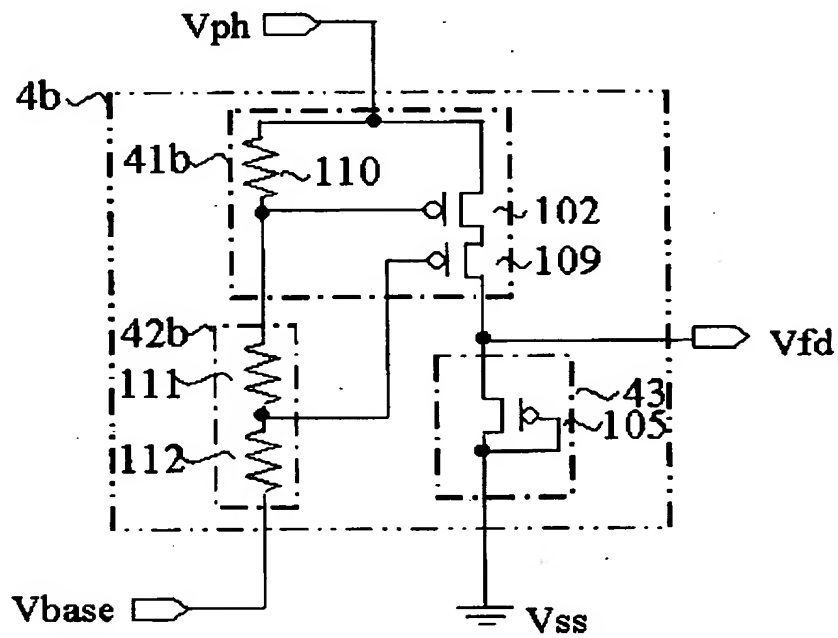
【図 3】



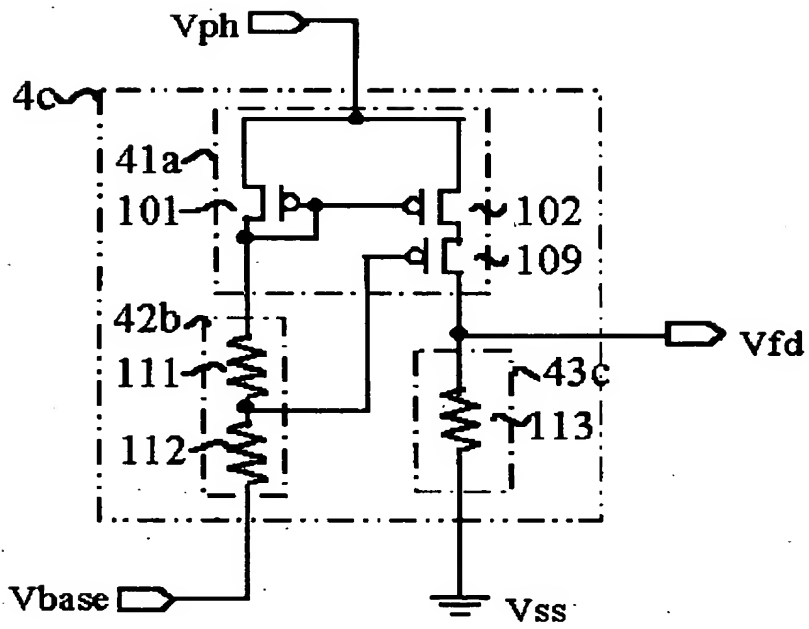
【図4】



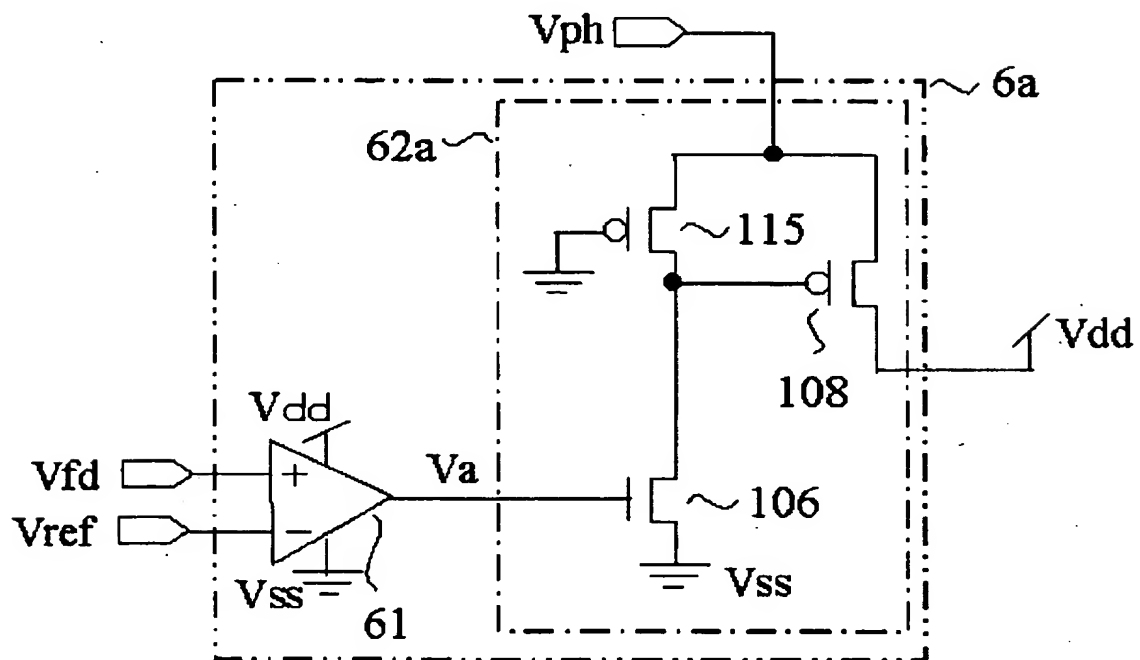
【図5】



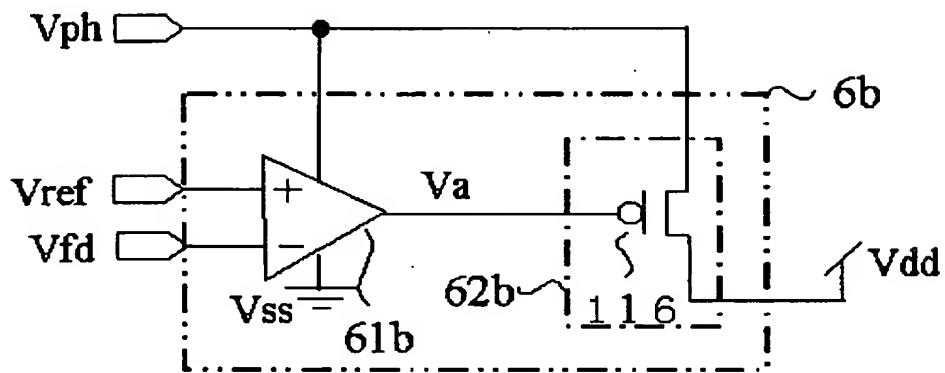
【図 6】



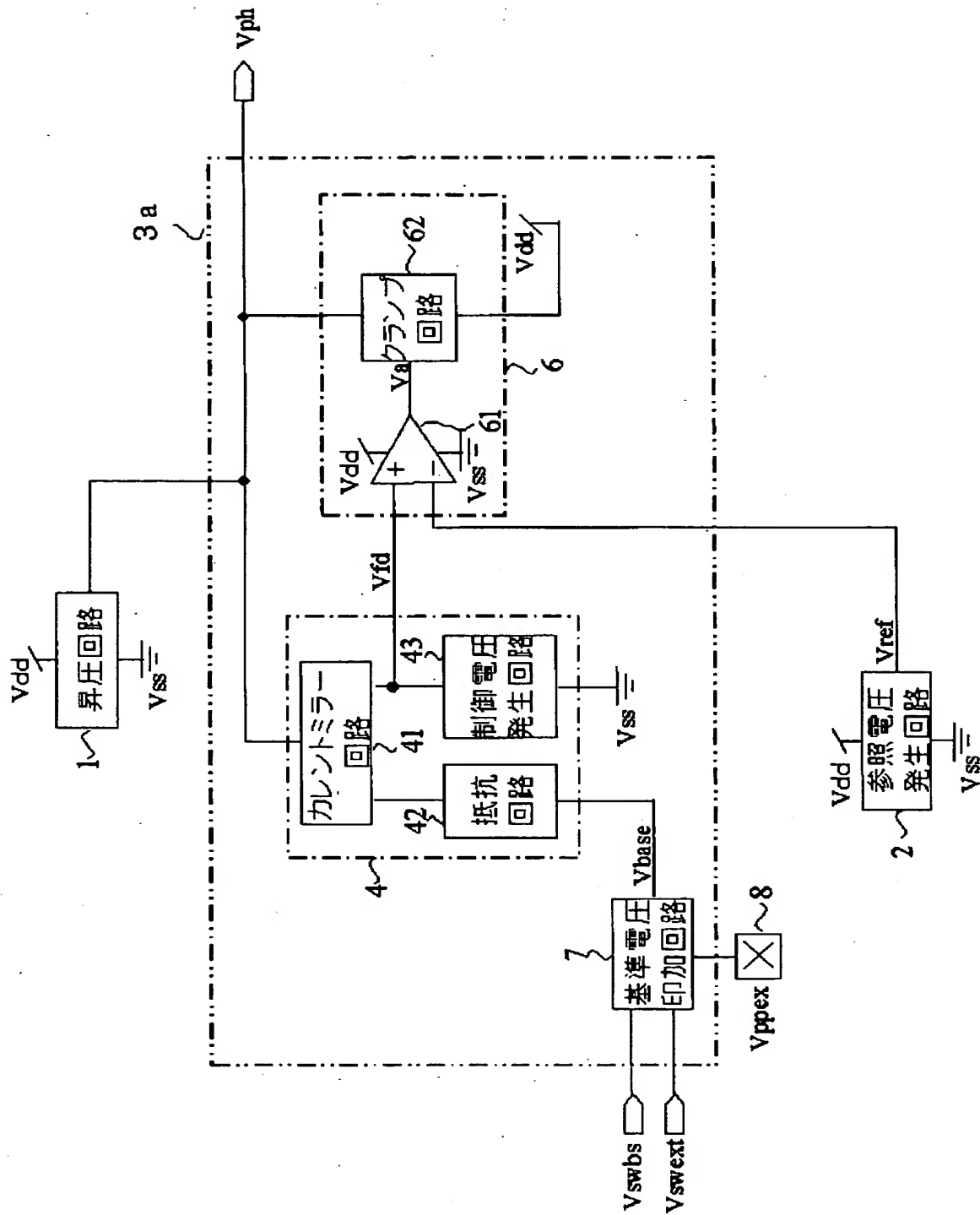
【図 7】



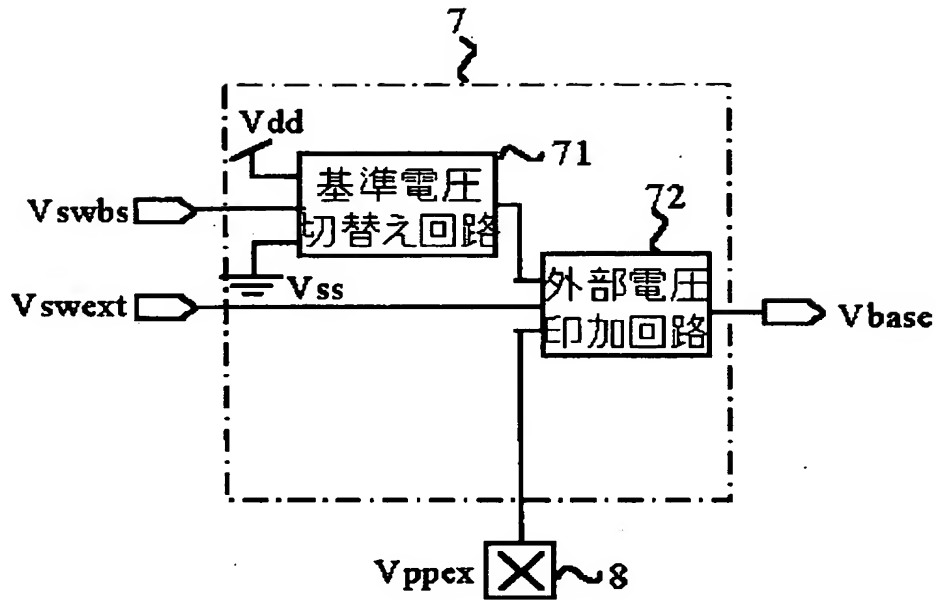
【図 8】



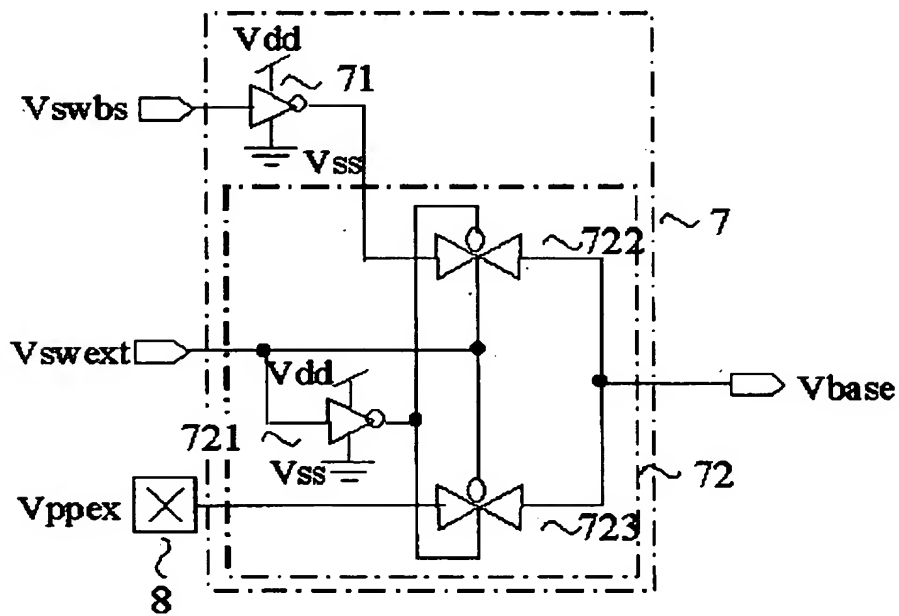
【図9】



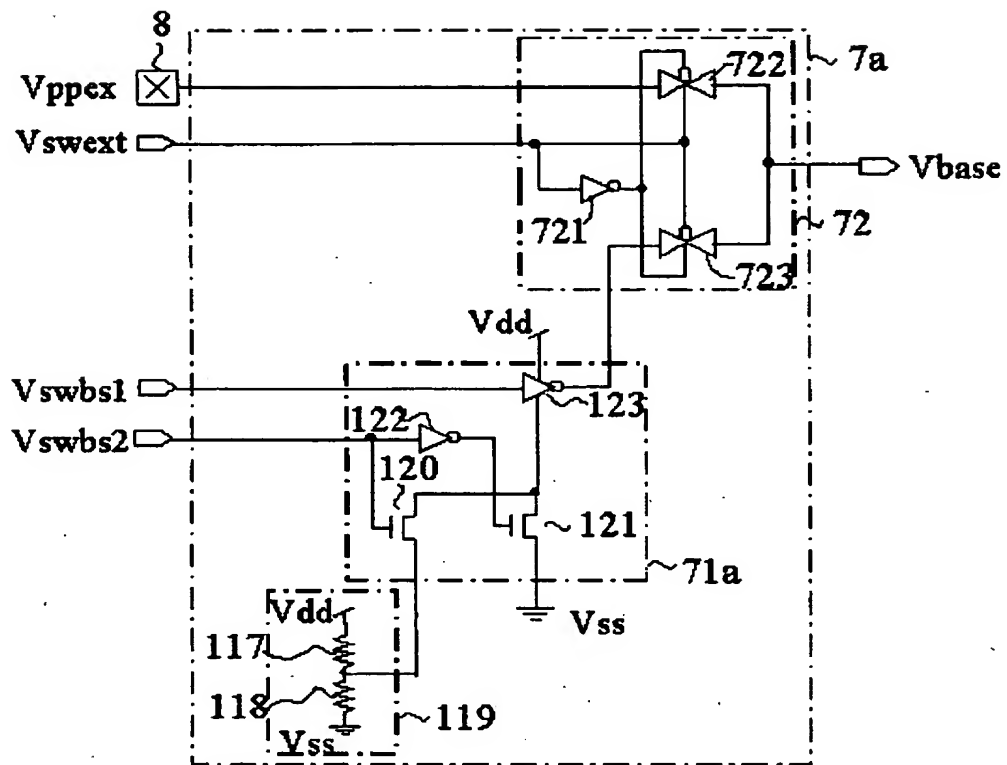
【図 1 0】



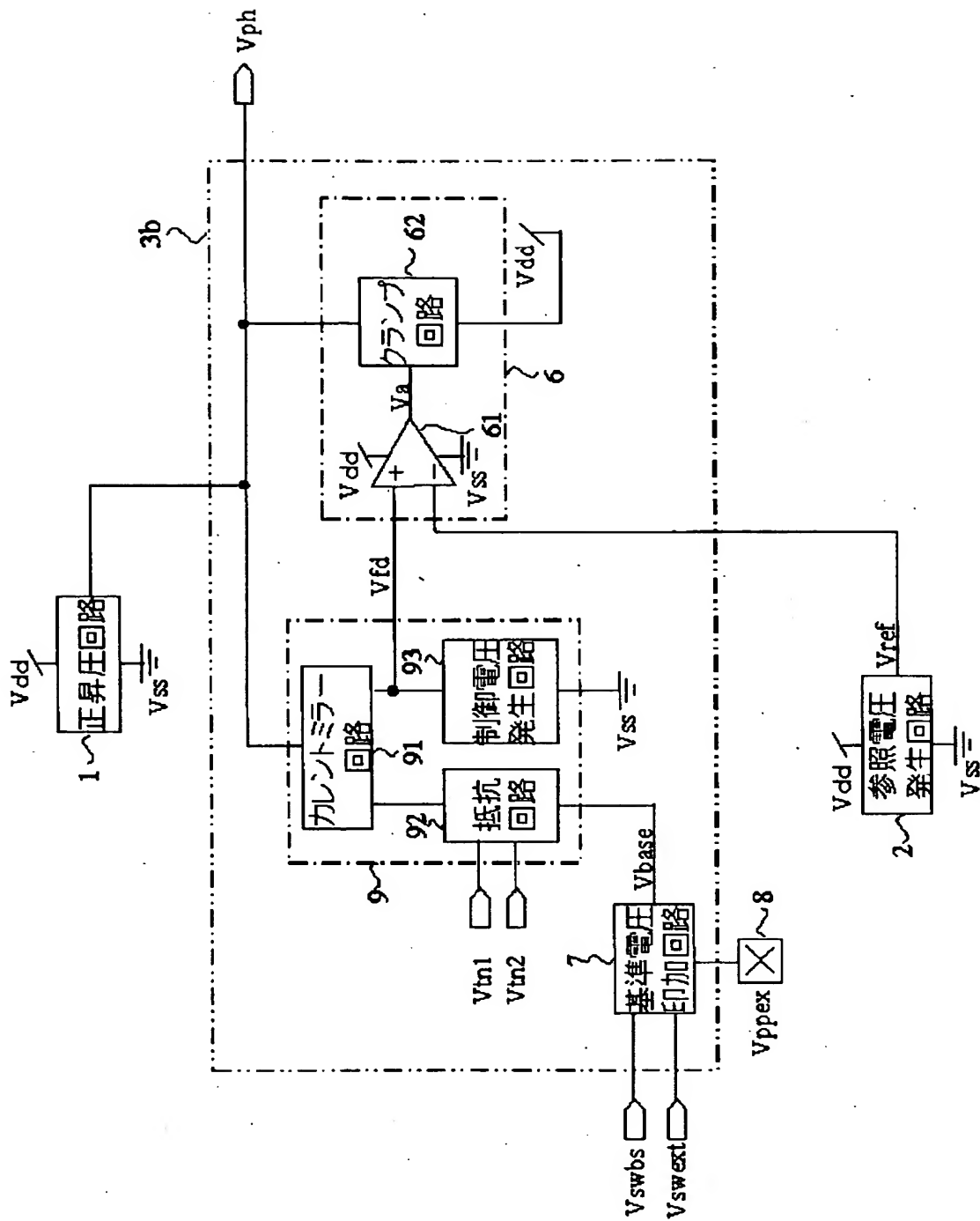
【図 1 1】



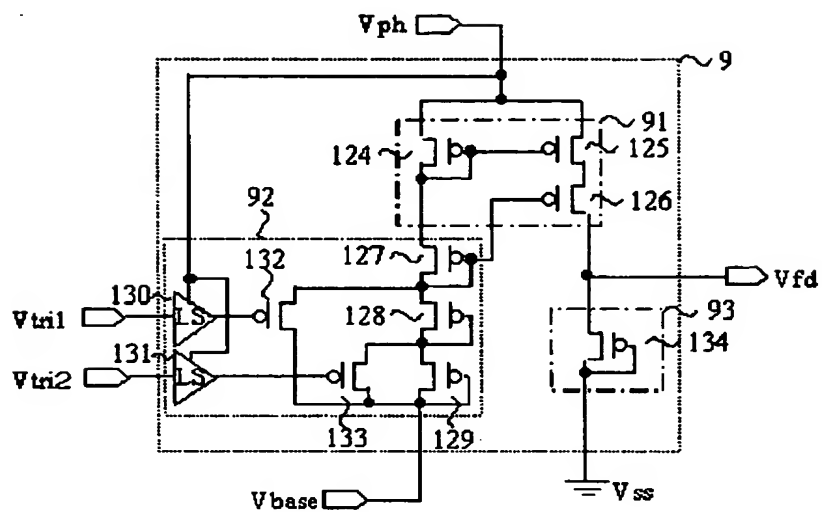
【図 12】



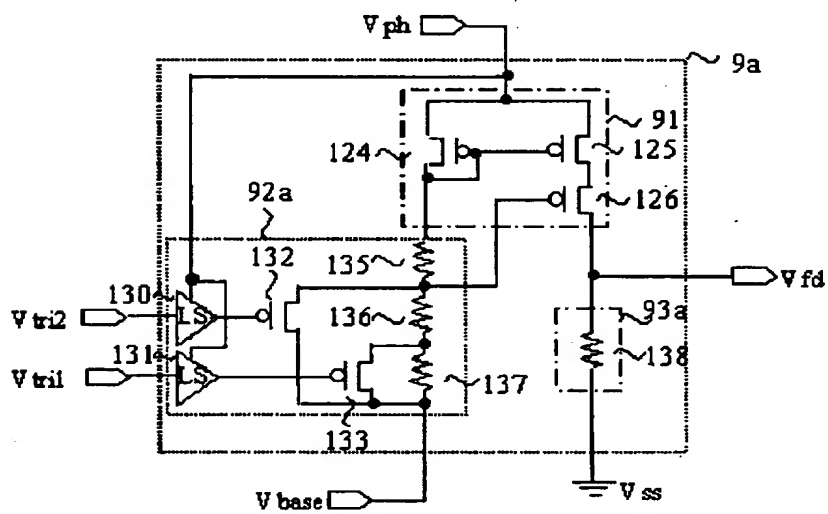
【図 13】



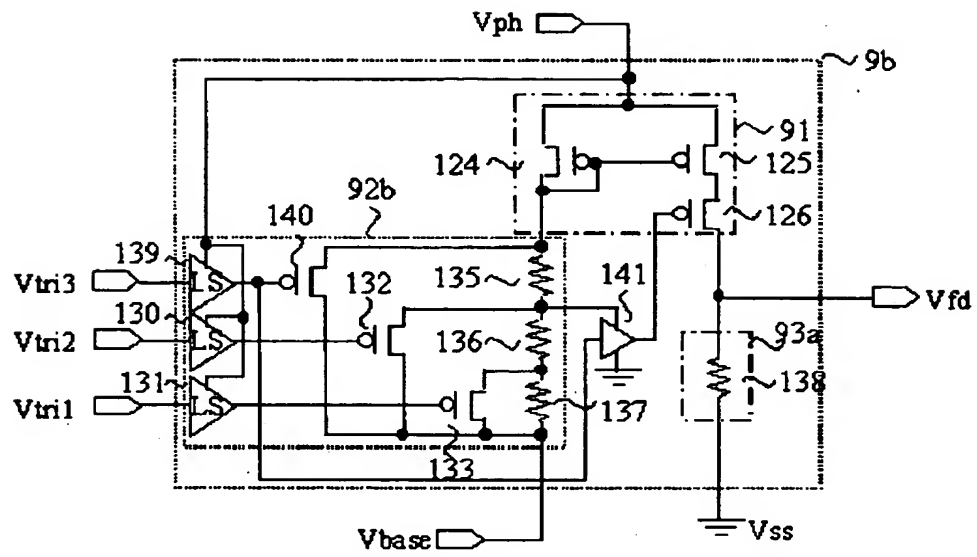
【图 14】



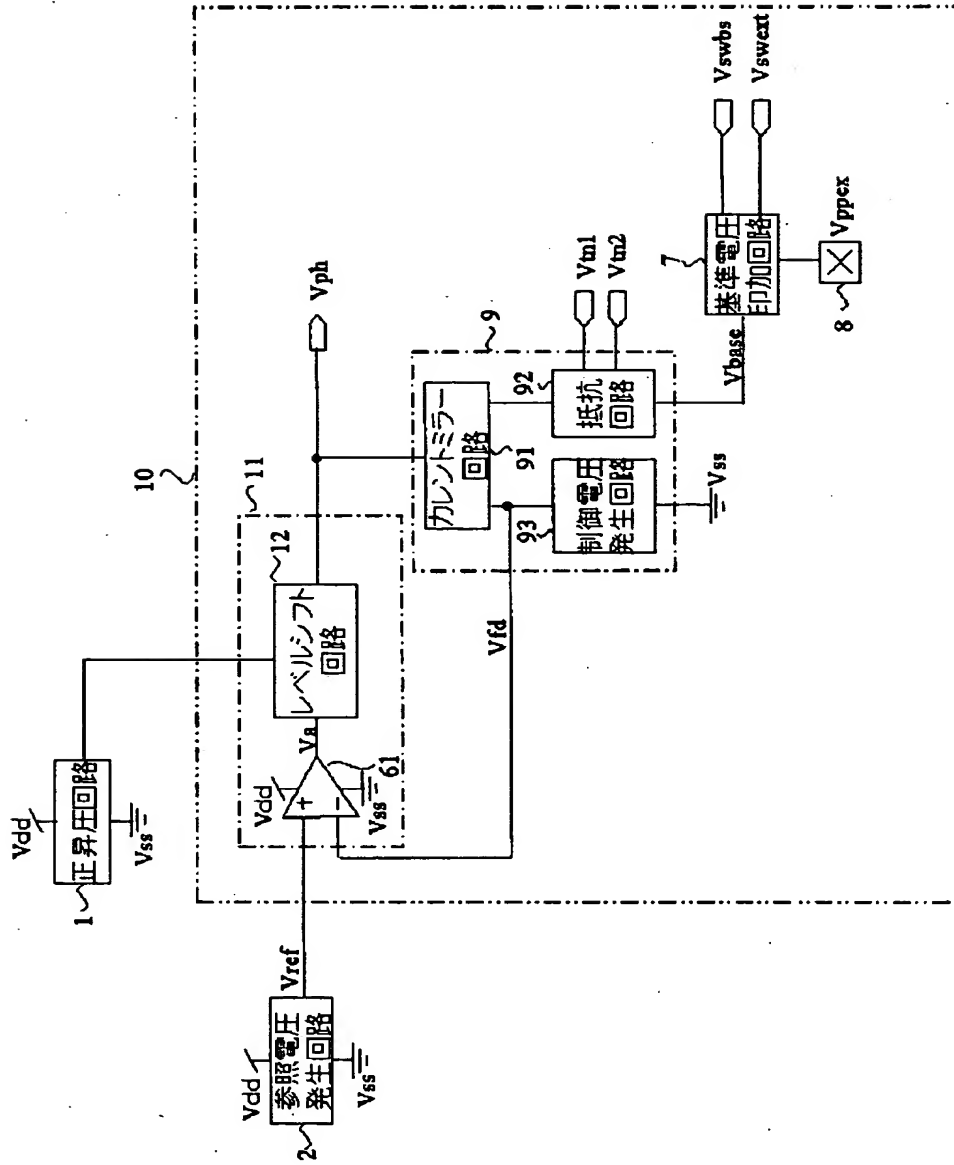
【図 15】



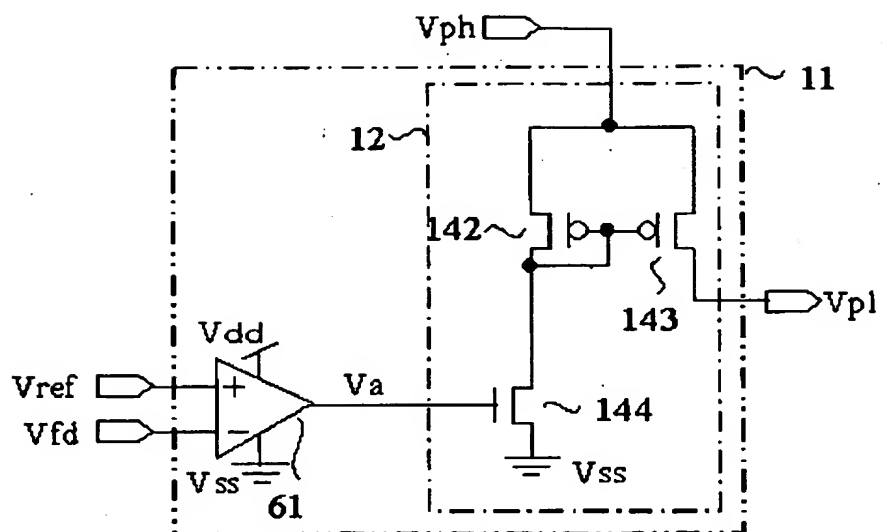
【図 16】



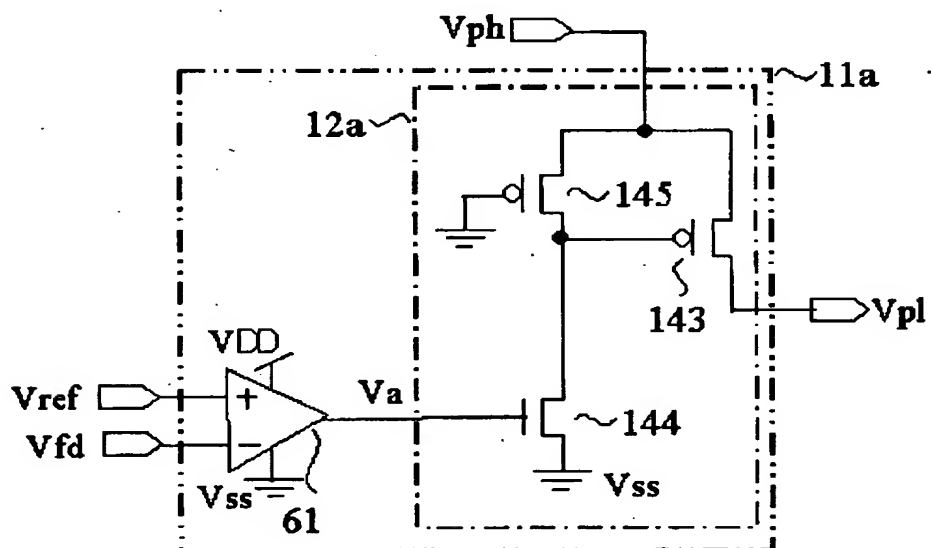
【図 17】



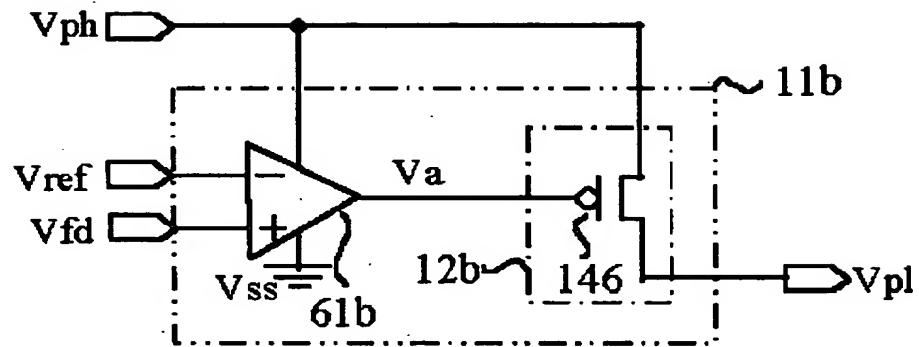
【図18】



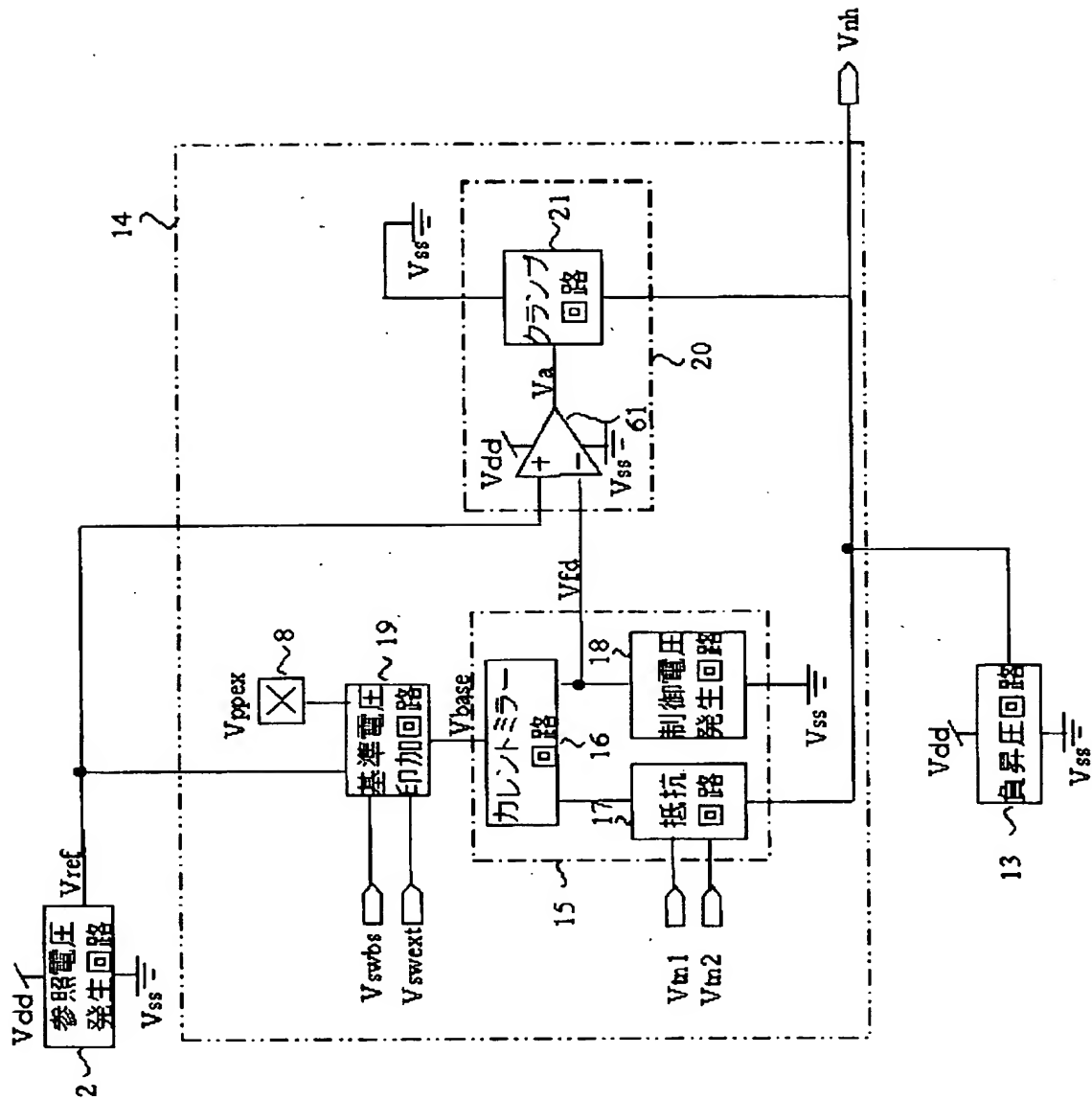
【図19】



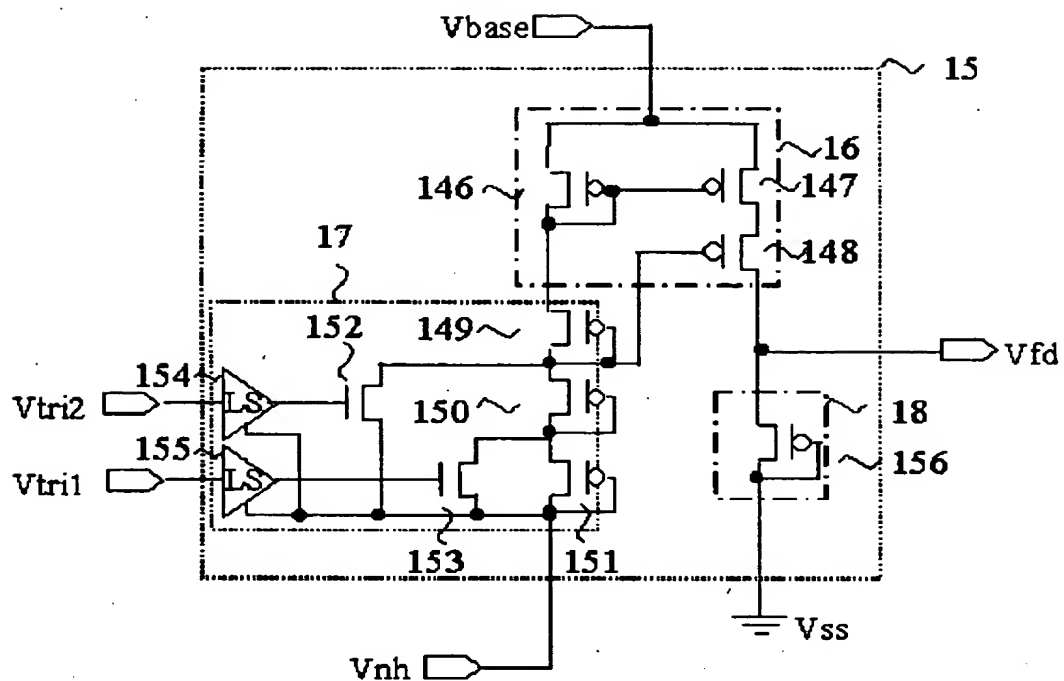
【図 2 0】



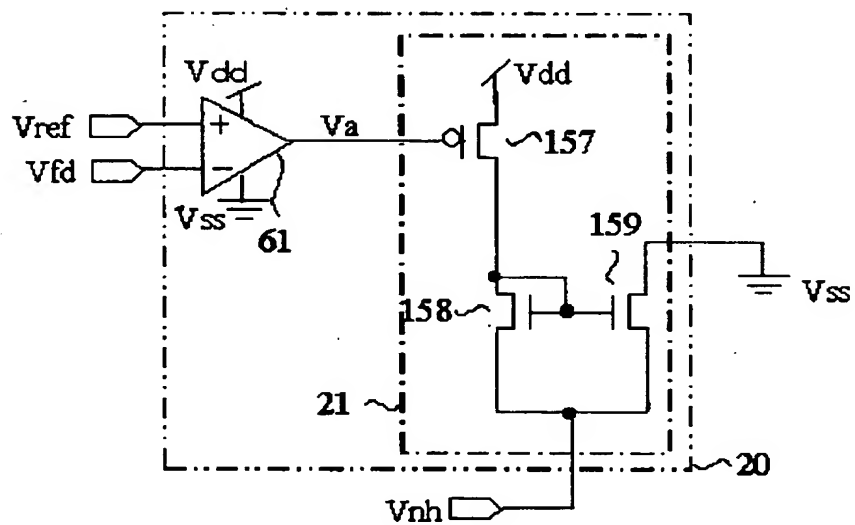
【図 21】



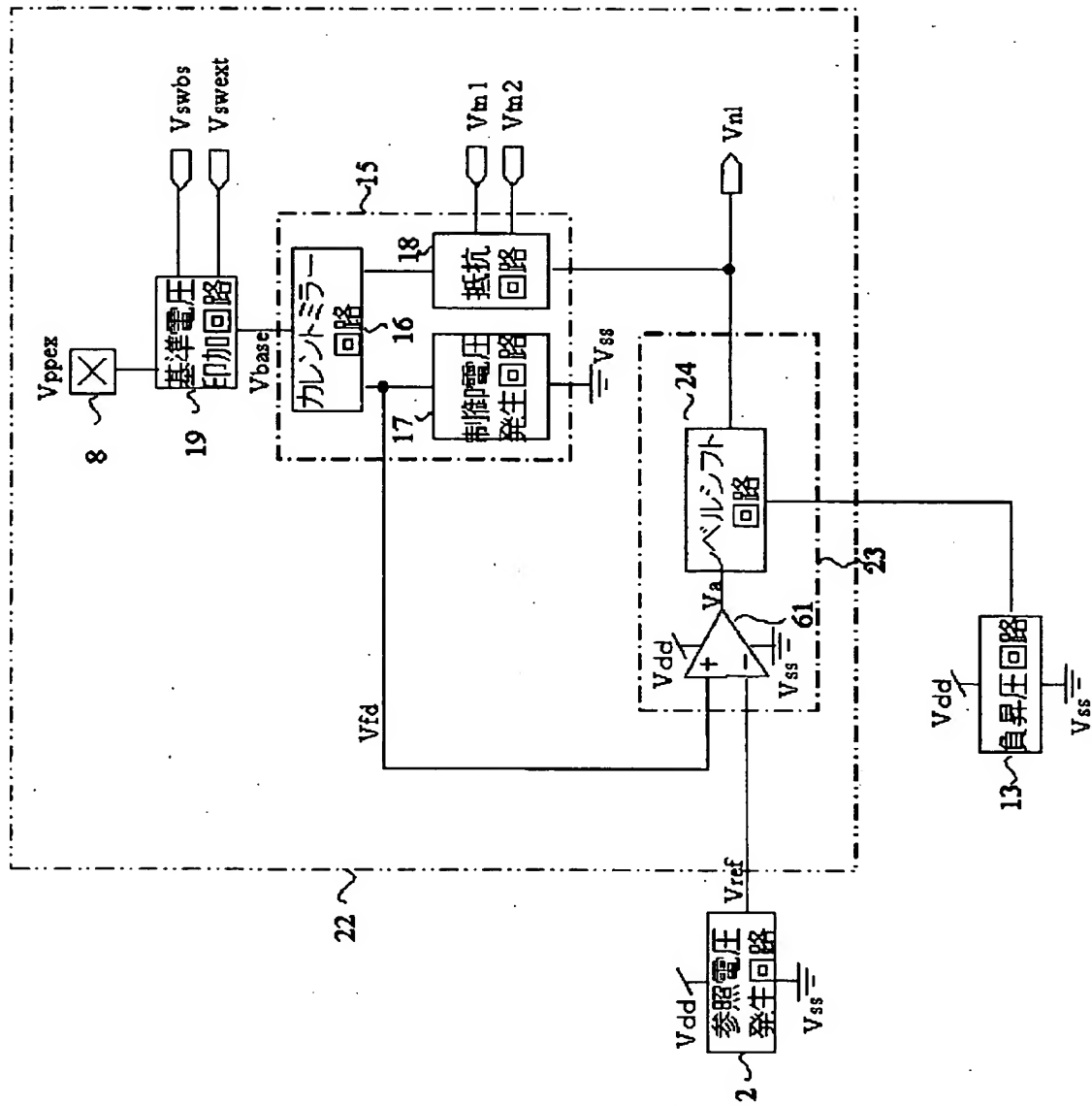
【图 2 2】



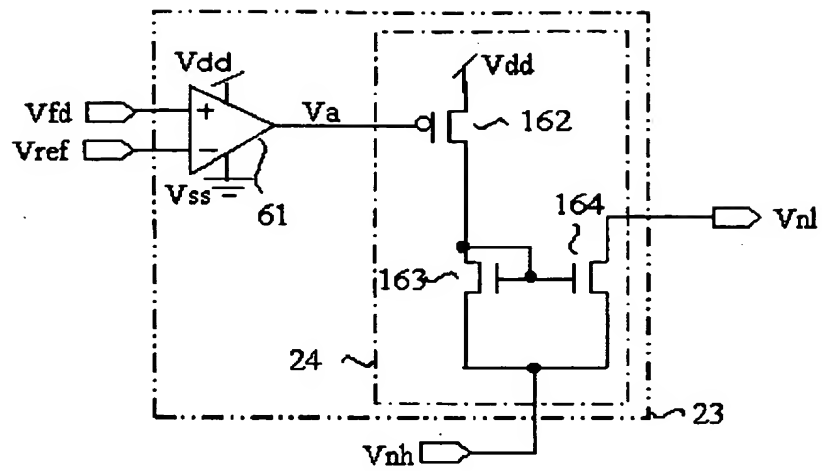
【図 23】



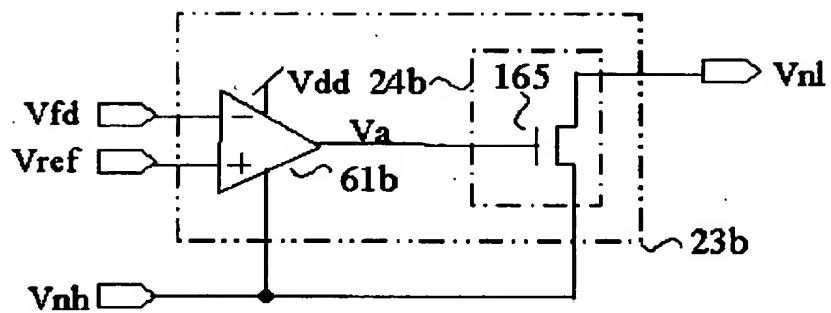
【図 26】



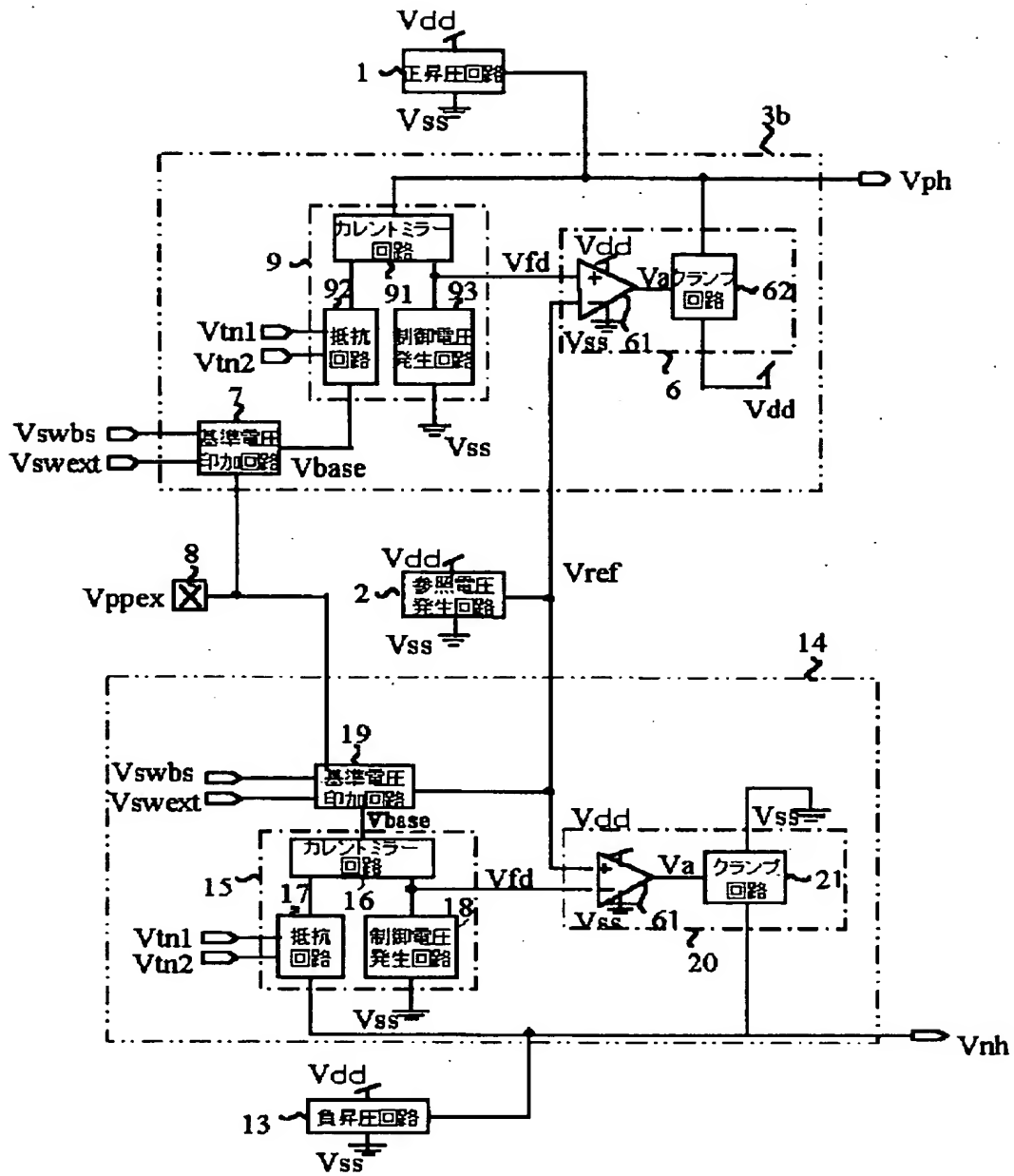
【図 27】

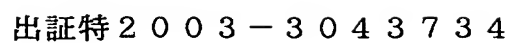


【図 28】

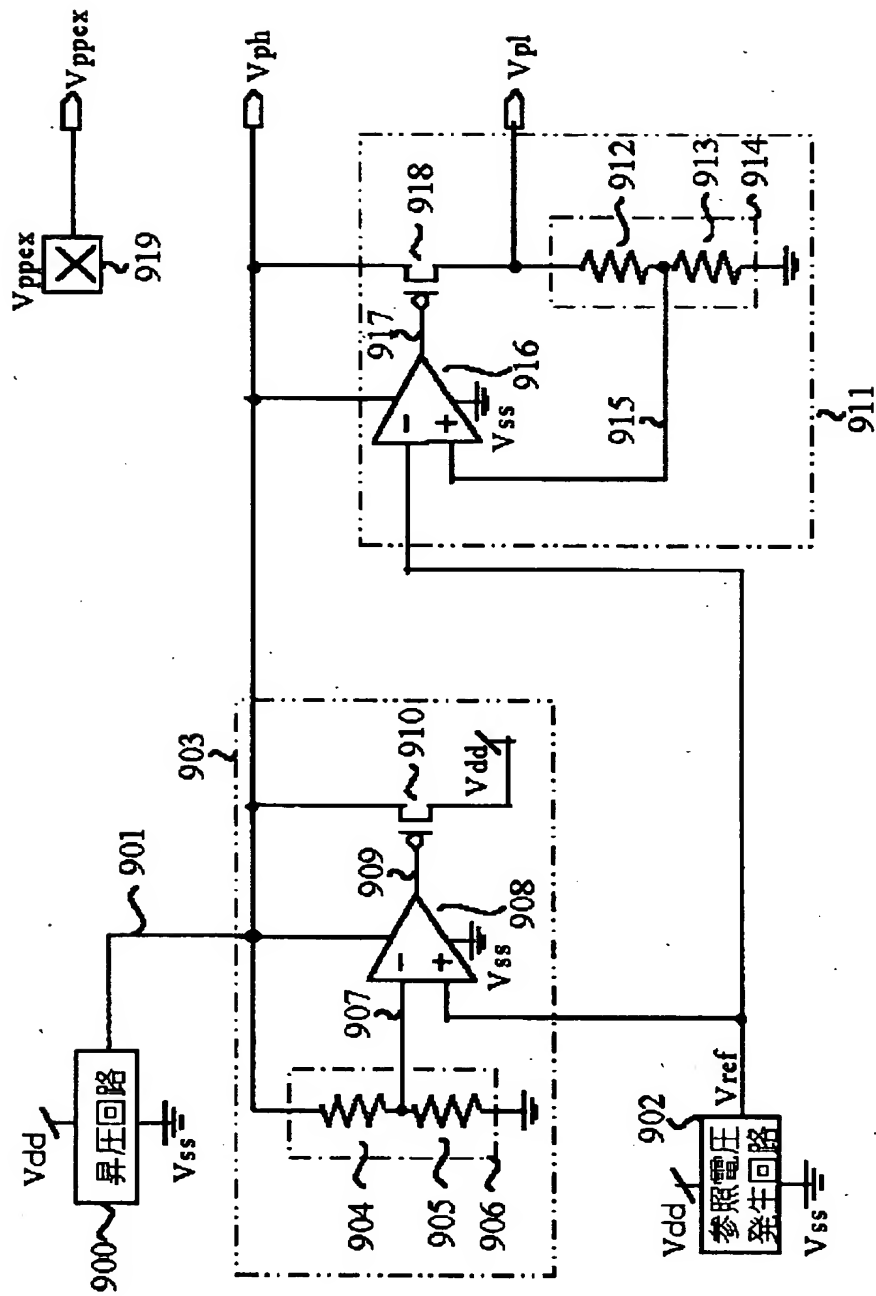


【図 29】

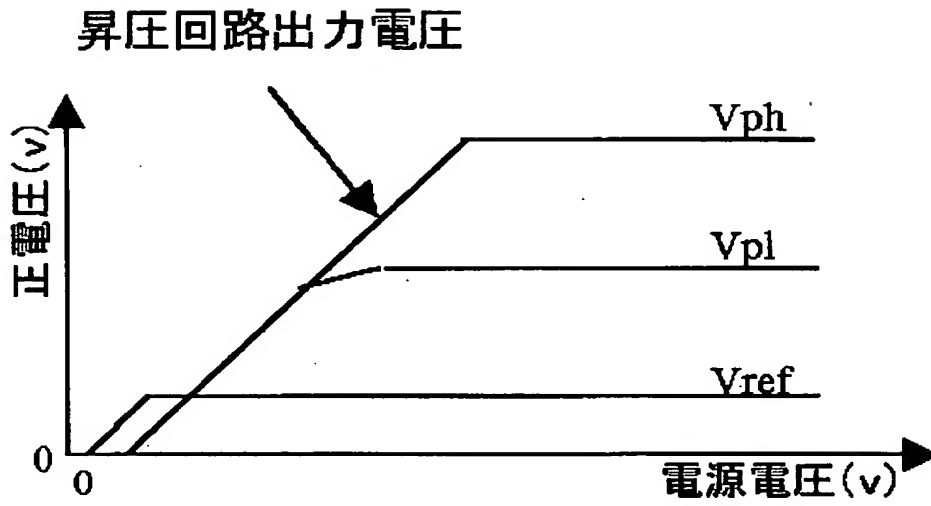




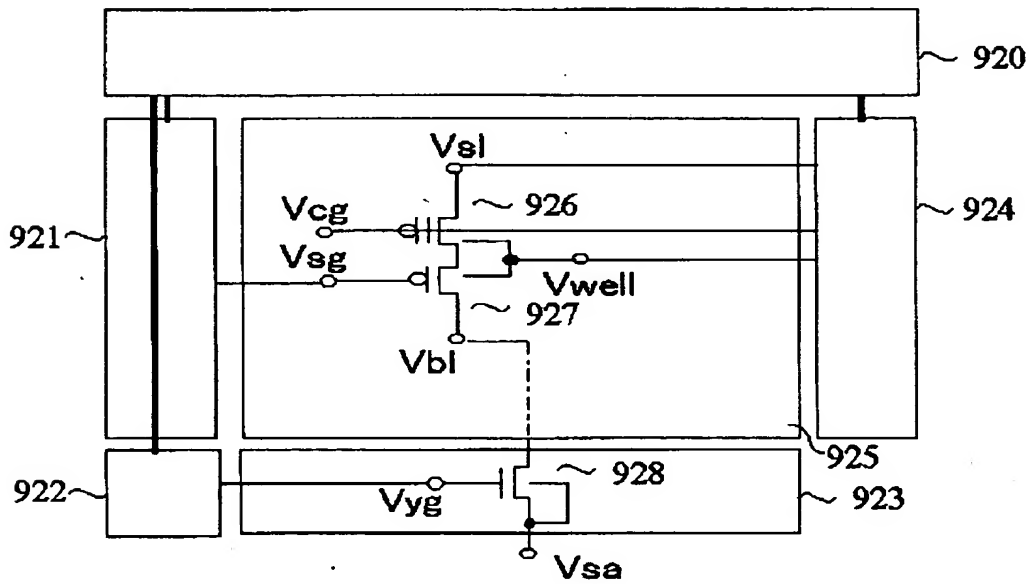
【図 31】



【図 3 2】



【図 3 3】



【書類名】 要約書

【要約】

【課題】 電源電圧あるいは任意の電圧を基準とした昇圧電圧を発生させる電圧発生回路を提供する。

【解決手段】 電源電圧より高い電圧を発生させる昇圧回路 1 と、参照電圧 V_{ref} を発生させる参照電圧発生回路 2 と、を有し、該参照電圧 V_{ref} を基に所望の電圧を発生させる電圧発生回路であって、第 1 の入力昇圧回路 1 の出力に接続され、第 2 の入力昇圧回路 1 に接続され、第 3 の入力昇圧回路 1 に接続され、第 1 の入力昇圧回路 1 の出力と第 2 の入力昇圧回路 1 の出力との間の電位差によって生じる電流と等価な参照電流を第 3 の入力昇圧回路 1 に流すことで第 1 の出力昇圧回路 1 に制御電圧 V_{fd} を発生させる電圧変動検知回路 4 と、制御電圧 V_{fd} と参照電圧 V_{ref} とを比較する差動増幅回路 6 1 と、差動増幅回路 6 1 の出力に応じて昇圧回路 1 の出力から電流を引き抜くことによって昇圧回路 1 の出力電圧を制御するクランプ回路 6 2 と、を有する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社